

상변화 메모리기술

(Phase change memory technology)

2005. 12



제1장

서 론

반도체를 이용한 기억소자는 최근 휴대폰, MP3 등이 생활 필수품화 되면서 그 수요가 급증하고 있다. 이러한 메모리 기술은 D램으로 대표되는 휘발성 메모리와 비휘발성 메모리로 나누어 볼 수 있는데 다양한 휴대용 기기들에서 대용량의 비휘발성 메모리를 요구하게 되면서 전력이 공급되지 않아도 데이터를 보존할 수 있는 메모리 기술에 대한 필요성이 증대되고 있다.

차세대 비휘발성 메모리로 주목받고 있는 기술로는 강유전체 메모리(FeRAM), 자기메모리(MRAM), 저항형메모리(RRAM), 상변화메모리(PRAM) 등이 있다. 이 기술들은 각각의 장점을 가지고 있으며 그 용도에 맞는 방향으로 기술 개발이 이루어지고 있다. 특히 상변화 메모리의 경우 다른 차세대 비휘발성 메모리에 비해 단순한 구조를 가지며 휘발성 메모리인 D램이 가지고 있는 빠른 입출력 속도와 저렴한 생산비용 등의 장점을 골고루 가지고 있어 최근 주목받고 있는 기술이다. 상변화 메모리는 특정 물질의 비정질상과 결정상의 전기전도도 차이를 이용하여 정보를 저장하고 판독하는 메모리 소자이다.

우리나라의 경우 ‘차세대 비휘발성 메모리 사업’을 통해 이분야에 대한 지원이 본격적으로 시작되었다. 특히 다른 기술에 비해 상변화 메모리기술은 가까운 시일내에 상용화가 가능하다는 판단아래 10대 성장동력에 ‘차세대 반도체’ 분야로 흡수되어 정부차원에서 적극적으로 연구개발이 진행되고 있다.

국내 메모리업체도 자체적으로 연간 수백 원을 투입해 상변화 메모리 기술 개발에 총력을 기울이고 있다. 삼성전자의 경우 stand-alone 형태의 상변화 메모리 시험칩을 제조하여 VLSI 심포지움에 발표하는 등 이 분야의 성장가능성을

일찍이 주목하고 있다.

본 보고서에서는 상변화 메모리 기술에 대한 원리 및 동작 특성 등의 기술 내용을 살펴보고, 이 분야의 논문과 특허 정보를 분석하여 상변화 메모리 기술의 연구개발 동향을 살펴보고자 한다.


 제2장

기술개발 동향

본 장에서는 상변화 메모리의 원리 및 개발 역사 그리고 재료 및 소자의 동작 특성에 대하여 살펴본다. 또한 국내외 상변화 메모리 연구 동향을 살펴봄으로써 상변화 메모리의 기술 수준을 가늠해 본다.

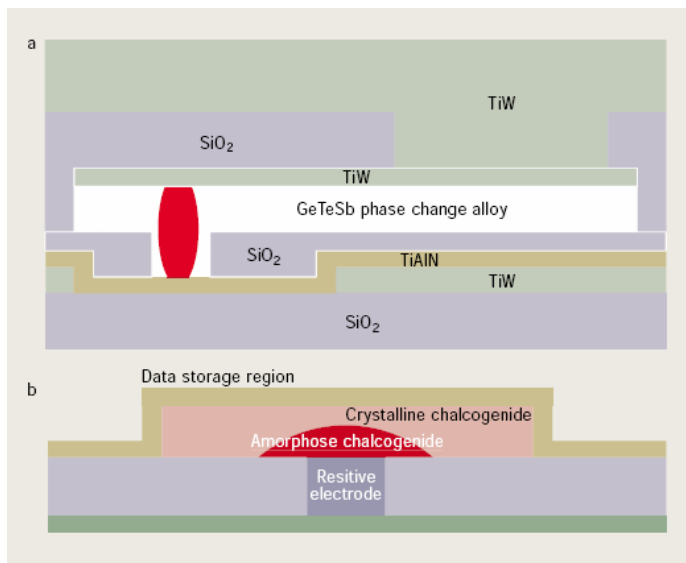
1. 기술 개요 및 특성

가. 상변화 메모리의 원리

상변화 전기 메모리는 특정 물질의 비정질상과 결정상의 전기전도도 (비저항) 차이를 이용하여 이진 (binary) 정보를 저장하고 판독하는 메모리 소자이다. 즉, 어떠한 물질이 무정형의 비정질 (amorphous) 상태에 있을 때는 물질이 갖는 비저항이 매우 높고 원자가 규칙적으로 정렬해 있는 결정질 (crystalline) 상태에 있을 때는 비저항이 낮으므로 저항이 다른 두 상태를 이용하여 정보를 저장하고 감지 (sensing) 하여 정보를 읽어내는 것이다. <그림 2-1>에 상변화 메모리의 대표적인 셀 구조를 도시하였다. 상변화 메모리 개발 초기의 샌드위치 형 (전극/상변화 막/전극) 셀 형태로부터 조금 진보된 구조가 <그림 2-1> (a)에 도시된 off-set type planar 구조로서 효율적 방열 및 발열을 위해 금속 전극 상하부를 절연막으로 고립시키고 상변화 영역을 contact pore (접촉부) 영역으로 한정 시킨 것이 특징이다. 상하부 금속 전극을 전원 회로로 연결하고 전압을 인가하면 상변화 물질과 전극이 접촉되어 있는 부분을 통해 전류가 흐르며 이때 주울의

법칙에 따라 contact pore 영역에 주울열이 발생한다. 이 열의 양을 조절하면 결정상인 물질을 비정질 상으로 또는 비정질 상인 물질을 결정상으로 switch 시킬 수 있다. 이렇게 형성된 두 상은 매우 안정하기 때문에 소자의 전원이 꺼 지더라도 지워지지 않아 비휘발성 메모리로 사용할 수 있게 된다.

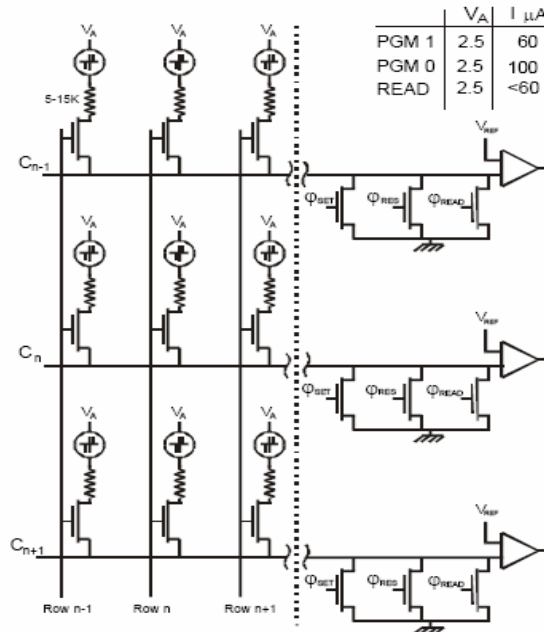
<그림 2-1> 상변화 메모리 구조 (a) Off-set type planar structure, (b) Plug-type vertical structure [1]



<그림 2-2> (b)는 고집적 메모리 소자로 사용하기 위해 고안된 구조로 플러그 형태의 금속 전극이 상변화 물질과 접촉하고 그 접촉부로부터 주울열이 발생하여 기록영역의 상이 바뀐다. 각 상의 미세 구조 및 전기적 성질과 메모리 동작 특성에 대하여는 뒤에서 자세히 다룰 것이다. 한편 이와 같은 구조로 되어 있는 셀을 선택 (addressing)하고 정보를 저장, 소거, 판독하기 위해서는 Bipolar Junction Transistor (BJT) 또는 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 등의 cell addressing 및 전류인가를

위한 구동 소자와 셀의 정보를 증폭 시키고 판독하기 위한 sense amplifier 등의 주변회로가 요구된다.

<그림 2-2> 상변화 메모리 셀 어레이 및 sens-amplifier



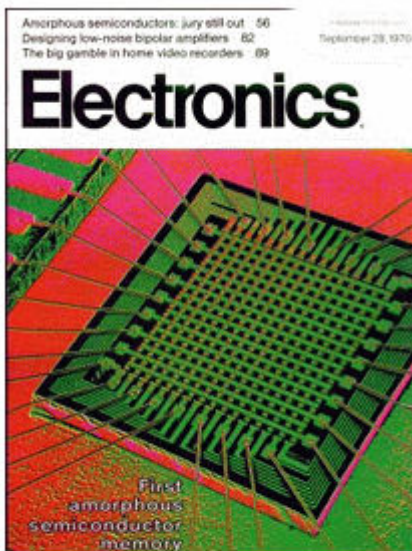
<그림 2-2>에 MOSFET을 사용하는 상변화 메모리 셀 어레이 및 주변회로에 대한 등가회로를 도시하였다. 메모리 셀은 NMOSFET과 금속전극이 상변화 물질과 연결되어 있는 1T-1R 구조로 구성되어 있으며 정보를 판독하기 위한 sense-amplifier가 연결되어 있다 [2].

상변화 메모리의 기본 원리는 앞서 설명한 바와 같이 매우 간단하다. 그러나 이렇게 간단한 동작기구에 의하여 작동되는 상변화 메모리가 차세대 비휘발성 메모리로 각광 받기까지는 많은 시간과 노력이 소요되었다. 다음 절에서는 상변화 메모리가 개발되고 현재에 이르기까지의 과정을 살펴본다.

나. 상변화 메모리의 역사

차세대 비휘발성 메모리로 각광받고 있는 상변화 메모리는 매우 최근에만 개발된 신기술일 것이라는 예상과는 달리 이미 1968년에 Energy Conversion

<그림 2-3> 최초의 상변화
메모리 RM-256



Devices (ECD)의 창업자인 Stanford R. Ovshinsky에 의해 상변화 메모리의 기본원리인 Ovonic Memory Switch (OMS) 현상이 발표되었으며 [3] 1970년 ECD사와 Intel사는 공동으로 Electronics 지에 OMS 현상을 이용한 256-bit의 비 휘발성, 재 기록형의 상변화 메모리를 제작하여 발표하였다 [4] (그림 2-3). 그러나 RM-256 이라고 하는 이 메모리는 정보기록에 25V, 7.5 mA, 10 ms 의 전기펄스가, 소거에 25 V, 150 mA, 5 μ s 의 전기펄스가 필요 한데 비해 판

독 속도는 5 V, 2.5 mA, 50 ns로 매우 짧았기 때문에 re-writable memory 보다는 read mostly memory로서의 기능을 갖고 있었으며 기록, 소거에 매우 큰 전력과 시간이 필요했기 때문에 당시에는 큰 주목을 받지 못했으며 이후 개발사인 ECD와 일본의 가나자와 대학 등에서만 이 메모리 소자에 대한 연구를 지속하고 있었다.

한편 laser pulse를 이용하는 광 메모리 분야에서는 기존에 연구되었던 상변화 메모리 연구 결과를 바탕으로 1987년 일본의 마쓰시타 전기에서 GeTe-Sb₂Te₃ (Ge-Sb-Te)계 재료를 이용한 상변화 광 메모리를 개발하였으

며 1995년 Phase Dual이라는 재 기록형 광 메모리 제품을 출시하기에 이른다. 이어서 1996년에는 필립스와 리코에서 Ag-In-Sb-Te을 이용한 CD-RW 제품을 출시하였으며 광 메모리 시장의 확대와 함께 현재는 Ge-Sb-Te을 사용하는 DVD-RAM 규격과 Ag-In-Sb-Te를 사용하는 DVD-RW 규격이 시장점유를 위한 경쟁을 벌이고 있다. 서울대학교에서는 1999년 광 메모리를 위한 상변화 재료 연구를 시작하였으며 2002년 한국과학기술 연구원 (KIST)과 함께 고속 소거가 가능한 상변화 재료를 개발하여 발표한바 있다 [5]. 상변화 재료에 대한 관심이 광 메모리 쪽으로 치우친 가운데 1993년 가나자와 대학에서는 As-Sb-Te을 이용한 상변화 전기 메모리 기술을 발표하였으나 긴 결정화시간 (200 μ s)과 짧은 재기록 횟수 (105)로 주목받지 못하였다 [42]. 가나자와 대학과는 별도로 반도체 메모리로서의 상변화 전기 메모리 연구를 계속해 오던 ECD Ovonic사는 1995년 자본금 증자를 하게 되고 이때 Intel, Micron, GE에서 투자를 받고 Intel, Micron과는 협력 관계를 맺게 된다. 1999년 ECD는 Ovonic Unified Memory (OUM) 라고 하는 자사의 상변화 메모리를 상용화하기 위해 자회사인 Ovonyx를 Intel과 공동으로 설립하게 되며 항공 우주용으로 사용할 수 있는 radiation hardness memory에 관심이 있던 BAE systems (구 Rockheed Martin)와 제휴하고 2000년 12월에는 ST Microelectronics와 공동 개발 계약을 하게 된다. 2000년부터 Ovonyx, Intel, BAE systems 등은 각종 학술대회 및 저널에 OUM 기술을 발표하기 시작하며 2002년 세계 반도체 소자 기술의 경연장인 ISSCC (International Solid State Circuits Conference)에서 Intel, Ovonyx, Azalea가 공동으로 BiCMOS 기술을 이용한 0.18 μ m design rule의 4Mb OUM을 발표함으로써 차세대 비 휘발성 메모리로서의 가능성에 한 발 다가서게 되었다. 세계 반도체 업계 1위인 Intel 에서 비 휘발성 메모리를 담당하고 있는 Stefan Lai 부사장은 각종 세미나 및 강연에서 차세대 비 휘발성 메모리로서 고분자 메모리 (Polymer memory)와 상변화메모리 (OUM)에 기대를 걸고 있으며 OUM은 현재의 SRAM, ROM, flash memory의 조합으로 되어

있는 휴대기기용 메모리의 대부분을 OUM이 대체하게 될 것이라고 밝히고 있다. 2003년 워싱턴에서 있었던 국제 전자소자학회 (IEDM 2003) 강연 후 질의 응답에서 그는 OUM의 실용화를 빠르면 2006년으로 보았으나 flash memory 시장의 강세로 인해 좀 더 늦추어 질 것이라고 예상하였다.

한편 국내 연구현황을 살펴보면 상변화 광 메모리 관련 연구는 삼성전자, LG 전자, SKC 등 산업체와 함께 연구기관으로는 KIST를 중심으로 진행되어 왔으나 상변화 전기 메모리의 응용에 대하여는 불모지에 가까웠으며 차세대 비 휘발성 메모리로서 FeRAM (Ferro Electric Random Access Memory)과 MRAM (Magnetic Random Access Memory)에 대한 연구가 대부분이었다. 세계 메모리 반도체 시장을 주도하고 있는 삼성전자에서는 차세대 비 휘발성 메모리의 중요성을 인식 2001년경부터 상변화 메모리에 대한 기초 조사에 착수했으며 2003년 NVSMW (Non Volatile Semiconductor Memory Workshop)에 stand-alone memory를 겨냥한 CMOS-compatible 상변화 메모리를 발표함으로써 본격적인 상변화 메모리 개발 경쟁에 뛰어 든다 [6]. 삼성전자는 2004년 6월 VLSI symposium에서 0.18 μm D/R을 갖는 64Mb 상변화 메모리 시험 chip을 제조하여 발표하는 등 stand-alone 상변화 메모리 분야에서 현재 세계적으로 가장 빠르게 개발 결과를 발표하고 있는 기업으로 생각 된다 [7]. 국가적으로는 미래 성장 동력으로서 상변화 메모리의 중요성을 인식하고 21C 프론티어 사업의 일환인 테라급 나노 소자 개발 사업에서 2002년 가능성 탐색차원의 상변화메모리 과제를 개시한데 이어, 2003년 ‘초고집적 상변화 메모리소자 개발’ 과제로 확대하여 KIST 주관 하에 서울대, 고려대, 아라리온(주) 등이 참여, 연구개발을 수행하여 왔으며 2003년 AEPSE (Asian European Plasma Surface Engineering) 및 MRS (Material Research Society) fall meeting에서 새로운 상변화 재료를 적용한 상변화 메모리 셀 특성을 발표 [8]하는 등 활발히 연구를 수행하고 있다. 상변화 메모리의 발전 과정을 연도별로 정리하면 아래와 같다.

< 연도별 상변화 메모리 발전 현황 >

- 1952 : $Tl_2Se-As_2Se_3$ 전도특성, 최초의 비정질 반도체 (Kolomiets) [43]
- 1950s 중반 : amorphous material 연구 시작, reversible thin film oxide switching device 개발 (Stanford R. Ovshinsky) [44]
- 1958~1961 : amorphous semiconductor의 chemistry, metallurgic 특성 연구, OTS, OMS 현상 발견 (Stanford R. Ovshinsky) [44]
- 1965 : Ge-Sb-Te phase equilibria 연구 (N. Abrikosov) [45]
- 1968 : Te-As-Si-Ge 재료에서 OTS, OMS 현상 발표 (Stanford R. Ovshinsky, PRL) [3]
- 1968 : ECD 사 설립 (Stanford R. Ovshinsky)
- 1970 : 256-bit 비휘발성 재기록성 상변화 메모리 발표 (ECD, Intel, Electronics, 1970) [46]
- 1971 : Te-Ge-Sb-S의 laser에 의한 고속 상변화 현상 발표 (ECD, APL, 1971) [47]
- 1986 : 상변화 광메모리를 위한 최초로 단일상으로 결정화 되는 GeTe 재료 발표 (M. Chen, APL) [48]
- 1987 : 상변화 광메모리를 위한 Ge-Sb-Te 삼원계 재료 개발 (N. Yamada, 마쓰씨타전기) [10]
- 1993 : As-Sb-Te를 이용한 상변화 메모리 발표 (JJAP, 가나자와 대학) [49]
- 1995 : 마쓰시타 상변화 광메모리 Phase Dual 출시 (Ge-Sb-Te) [50]
- 1996 : 필립스, 리코 상변화형 CD-RW 출시 (Ag-In-Sb-Te) [50]
- 1995 : Intel, GE, Micron의 ECD 투자 및 Intel, Micron과 제휴 [2]
- 1999 : ECD 상변화메모리 상용화를 위한 venture회사인 ovonyx inc. 설립

- 1999 : BAE systems와 우주, 군사 용 메모리 개발 관련 제휴
- 2000 : Intel과 상변화 메모리 상용화를 위한 제휴
- 2000 : ST Microelectronics사와 공동개발 계약
- 2000 : As-Sb-Te를 이용한 submicron memory cell 특성 발표 (JJAP, 가나자와 대학) [51]
- 2002 : BiCMOS 기술을 이용한 4Mb OUM 발표 (ISSCC, Ovonyx, Intel, Azalea) [52]
- 2002 : 고속 소거용 광메모리 재료 개발 발표 (APL, KIST, 서울대) [5]
- 2002 : 대한민국 과학기술부에서 주관하는 21C 프론티어 사업, 테라급 나노 소자 개발사업단에서 상변화메모리 연구 착수
- 2003 : (GeSbTe)(SnBiTe)을 이용한 상변화 메모리 특성 발표 (AEPSE, MRS fall meeting, 서울대, KIST) [8]
- 2003 : Se-Sb-Te를 이용한 상변화메모리 특성발표(JJAP, 가나자와대학) [53]
- 2003 : 대한민국 과학기술부에서 주관하는 21C 프론티어 사업, 테라급 나노 소자 개발사업단에 ‘초고집적 상변화 메모리 개발’ 과제 출범
- 2003 : 0.24 μm D/R을 갖는 CMOS-compatible PCRAM 발표 (NVSMW, 삼성전자) [6]
- 2004 : 0.18 μm D/R을 갖는 64 Mb density PCRAM integration (VLSI Symposium, 삼성전자) [7]

다. 상변화 메모리 재료

(1) 비정질 반도체

상변화 메모리의 가장 핵심 부분은 정보를 저장하는 상변화 재료이다. 그러므

로 이 부분을 잘 이해하는 것이 상변화 메모리의 동작을 이해하는 첫걸음이라 할 수 있다. 상변화 재료가 어떤 것인지를 이해하기 위해서는 이 재료가 어떤 영역에 속해있는지를 먼저 알아야한다. 물질의 상태는 우리가 잘 알다시피 고체, 기체, 액체의 세 가지 상태로 되어 있으며 우리가 연구하는 메모리 소자는 고체상태의 재료를 이용한다. 고체상태로 되어 있는 물질은 원자의 공간배열 관점에서 크게 두 가지 상태 즉, 결정상태와 비정질 상태로 나눌 수 있다. 결정상태란 원자의 배열이 매우 주기적인 장범위 규칙도(long-range orderness)를 가지고 있는 상태이며 비정질 상태는 장범위 규칙도는 없고 한 두 개 최 인접 원자들의 주기적 배열 즉, 단범위 규칙도(short-range orderness)만 존재하는 상태를 말한다. 우리가 다루는 상변화 물질은 바로 이비정질 상태를 쉽게 만들 수 있는 재료이다. 또한 고체물질은 전기적 특성의 차이에 따라 금속, 반도체, 절연체로 나눌 수 있는데 우리가 사용하는 상변화 메모리 재료는 반도체이다. 즉, 상변화 메모리 재료는 바로 비정질 반도체 영역에 속하는 재료인 것이다. 비정질 반도체는 응용적 관점에서 보면 결정재료에 비해 저온 공정으로 대형 면적에 적은 비용으로 박막을 증착할 수 있으며 다양한 조성을 만들 수 있기 때문에 목적에 맞는 성질을 가지는 재료를 만들 수 있는 장점을 갖고 있으며 불순물 첨가 등에 의해 가전자 제어(pn 제어)가 가능하다. 따라서 비정질 반도체는 현재 본 보고서에서 다루는 상변화 전기 메모리 뿐 아니라 상변화 광 메모리, 태양전지, LCD (Liquid Crystal Display) 구동용 TFT (Thin Film Transistor), TV 촬상 소자, 감광재료 등 각종 응용분야에서 실용화되고 있으며 21세기 꿈의 재료라고도 불리고 있는 것이다. 비정질 반도체는 크게 tetrahedral (테트라헤드랄)계와 chalcogenide (칼코지나이드)계로 나뉘어 진다. Tetrahedral계는 Si이나 Ge 등과같이 4배위 결합을 하는 원소로 이루어져 있는데 단결정 Si이나 Ge의 경우 3족이나 5족 원소를 첨가하여 전도성을 제어하는 것과 달리 비정질에서는 수소를 이용해 불완전결합을 줄여줌으로써 전도성을 제어한다. Chalcogenide계는 6족 원소인 S, Se, Te 같은 Chalcogen 원소 및 이를 포함

하는 화합물로 이루어진다. 칼코지나이드란 말은 그리스어로 구리를 뜻하는 "Chalco"와 "generator"의 합성어로 과거 구리를 제련하는 과정에서 S, Se, Te의 원소가 나왔기 때문인 것으로 알려져 있다. 표 2-1에 대표적인 비정질 반도체를 예시하였다.

<표 2-1> 비정질 반도체 분류

비정질 반도체	분 류	종 류
Tetrahedral계	단원계	Si, Ge, C
	수소화단원계	Si:H, Ge:H, C:H
	합금계	Si-Ge, Si-C, Si-N, Si-O
	수소화합금계	Si-Ge:H, Si-C:H, Si-N:H
	III-V계	GaAs, GaSb, GaP
Chalcogenide계	단원계	S, Se, Te
	V-VI계	As-S, As-Se, As-Te, Sb-Te,
	IV-VI계	Ge-S, Ge-Se, Ge-Te, Sn-Te
	3원계	Ge-Sb-Te, As-Se-Te
	4원계	Ag-In-Sb-Te, As-Te-Si-Ge
기타		As, Sb

비정질 반도체에는 이렇게 매우 다양한 단원자 또는 합금들이 존재한다. 상변화 메모리는 이 중에서 Ge-Sb-Te 3원계 화합물을 메모리 핵심 재료로 사용하는데 다음절에서는 이 재료의 특성과 왜 이 재료를 사용하는지에 관하여 자세히 살펴보겠다.

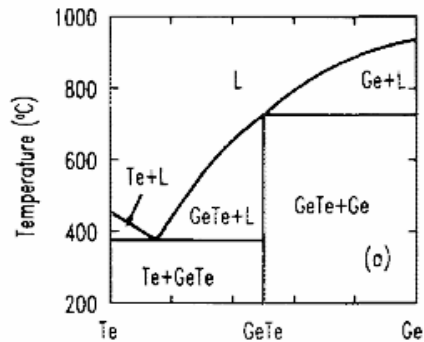
(2) Ge-Sb-Te 재료의 특성

A. 결정학적 특성

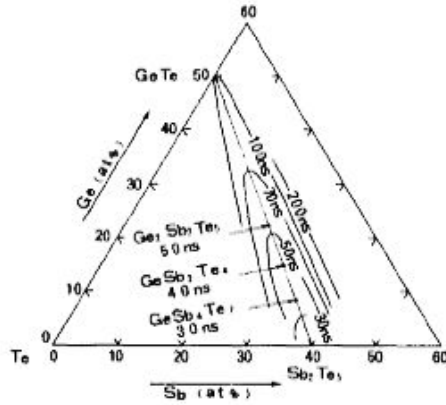
Ge-Sb-Te 3원계 화합물 특히 GeTe-Sb₂Te₃ pseudo-binary 화합물의 발견은 1986년 IBM almaden 연구소의 M. Chen 이 발표한 Ge-Te 이성분계 화합물의 연구로부터 기인한다 [48]. Ge_xTe_{1-x}는 <그림 2-4>의 상태도에서 보

는 바와 같이 GeTe 조성에서 적당한 융점의 공정점 (eutectic point)을 가지며 Te-Te의 긴 체인구조로 인해 이 부근에서의 액상의 점도 (viscosity)가 높아 쉽게 비정질화 된다. 또한 GeTe는 화학 양론적 (stoichiometric) 조성이기 때문에 결정상과 과냉 된 액상 (비정질상)의 자유에너지차가 커 결정화 구동력이 매우 크므로 빠른 결정화 속도를 가능케 한다. 특히 GeTe는 단일 상으로 결정화가 이루어지므로 복합 상으로 결정화 되었던 이전의 공정조성 (Ge-Sb-S-Te, Ge-As-Te, Ge-Sn-Te 등)들에 비해 결정화 속도가 10 ~ 100 배 이상 증가하여 약 100 ns의 결정화 속도를 갖는다. GeTe의 발견으로 새로운 전기를 맞게 된 상변화 재료 연구는 GeTe-Sb₂Te₃ 재료의 연구를 이끌어 낸다.

<그림 2-4> Ge-Te 상태도

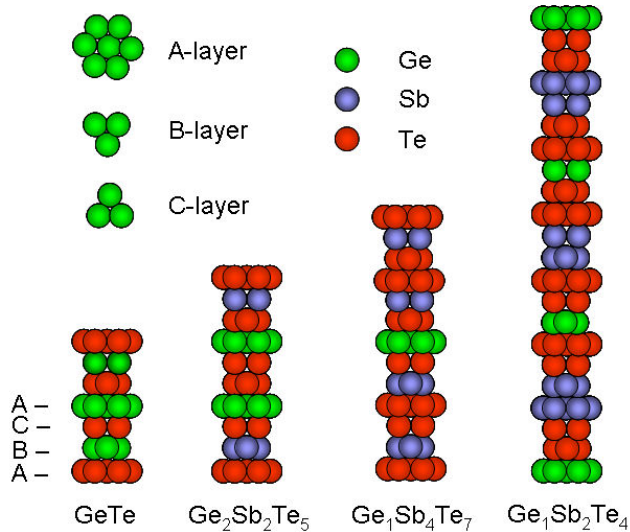


<그림 2-5> Ge-Sb-Te 상태도



<그림 2-5>에 도시한 바와 같이 Ge-Sb-Te 3원계 화합물의 GeTe-Sb₂Te₃ pseudobinary line에 존재하는 화학 양론적 조성들은 여러 조성에 걸쳐 단일 상으로 결정화 하며 GeTe에 비해 원자간 결합에너지가 낮은 Sb₂Te₃를 추가함으로써 GeTe 대비 용융온도는 100℃ 이상, 결정화 온도는 50℃ 이상 낮다. 특히 결정화 속도는 조성에 따라 최대 30 ns 까지 빠르므로 GeTe 의 100 ns 에 비해 상변화 속도를 대폭 개선시킬 수 있었다. GeTe를 비롯한 GeTe-Sb₂Te₃ 재료의 상변화 속도가 이렇게 빠른 근본적인 원인은 앞서 설명한 이유 외에 이 재료의 결정화시 원자 확산거리가 매우 짧기 때문인데 원자의 확산거리가 매우 짧다는 것은 결정구조에 있어서 원자분포가 큰 대칭성을 갖고 있다는 의미이며 이러한 분포는 단순입방정 (SC : simple cubic)이나 면심 입방정 (FCC : Face Centered Cubic) 같은 등방성 구조에서 찾을 수 있다.

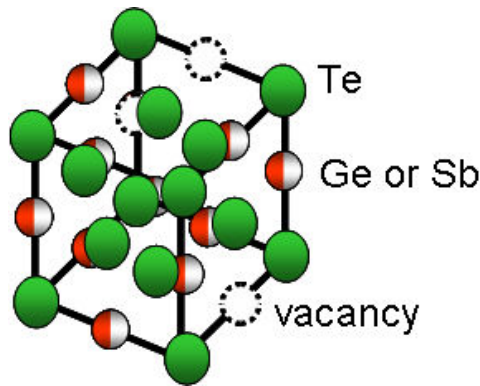
<그림 2-6> GeTe 및 GeTe-Sb₂Te₃의 세 삼원계
화합물의 원자적층모델



<그림 2-6>에 각 재료의 열역학적 안정상 (결정상)의 원자적층 모델을 도시 하였는데 GeTe는 약간 변형된 NaCl 구조로 잘 알려져 있으며 3가지의 GeTe-Sb₂Te₃ pseudo-binary 재료의 경우는 C축으로 길게 늘어진 육방정 (hexagonal) 구조를 갖는다. 즉 GeTe는 면심 입방정 (FCC)에 가까운 대칭성을 갖는 구조로 결정화 되나 GeTe-Sb₂Te₃ 화합물은 긴 원자 확산 거리가 필요한 육방정 구조로 결정화 되므로 결정화 속도가 그렇게 빠른 것이 이해되지 않았지만 1987년 마쓰시타 전기의 노보루 야마다는 GeTe-Sb₂Te₃ 화합물이 열역학적 안정상인 육방정 구조로 상변화 하기 전에 NaCl 구조의 준 안정상 (meta stable phase)를 갖는다는 것을 밝혔다 [10]. <그림 2-7>에 GeTe-Sb₂Te₃의 준안정상의 단위셀을 도시하였다. Te이 면심입방 자리 (FCC site)를 차지하고 있으며 Ge와 Sb는 팔면체 자리 (octahedral site)를 무작위로 차지하고 있다. 특히 이

자리의 약 20%를 격자결손 (vacancy) 이 차지하고 있으며 Sb_2Te_3 의 농도가 많을수록 격자결손 농도가증가하여 비정질에 가까운 밀도를 갖게 된다. GeTe 와 $\text{GeTe-Sb}_2\text{Te}_3$ 재료의 가장 큰 차이는 이것이며 이러한 격자결손은 상변화 시에 수반되는 체적 변동율 (5% 이내) 을 작게 하여 반복기록 특성을 대폭 향상 시키게 된다.

<그림 2-7> $\text{GeTe-Sb}_2\text{Te}_3$ 의 준 안정상

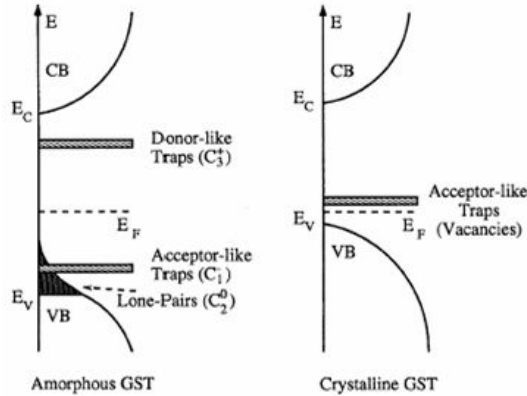


B. 밴드 구조

Ge-Sb-Te 화합물의 결정학적 특성들에 대한 연구가 상변화 광 메모리의 발전에 큰 영향을 미쳤다면 지금부터 언급할 전자 재료적 특성은 전기 메모리를 발전시킨 기초라 할 수 있겠다. 앞서 언급했듯이 칼코겐 화합물은 비정질 반도체이며 이 때문에 단결정의 반도체와는 전자상태가 매우 다르다. 또한 상변화 메모리는 가역적으로 비정질상과 결정상으로 변하기 때문에 두 상의 전자상태를 모두 고려해야한다. <그림 2-8>은 Ge-Sb-Te (GST)의 비정질상 및 결정상의 밴드 구조를 나타낸 그림이다. 앞서 언급한 바와 같이 비정질 반도체는 장범위 규칙도가 없기 때문에 단범위 화학결합구조의 혼란과 함께 국재 (localize)된 밴드 tail 상태나 밴드 갭 내의 구조 결함 준위 등을 포함하게 되며 이로 인해

매우 낮은 전기전도도 특성을 갖는다.

<그림 2-8> Ge-Sb-Te (GST)의 밴드 구조
[11]



GST는 6족 원소를 주체로 하여 구성되었으므로 최외각전자는 s^2p^4 의 구조를 갖으며 최외각 전자 6개 중 2개는 s 궤도의 깊은 에너지 상태에, 4개는 p 궤도에 들어가며 이중 p 궤도에 들어가는 2개의 전자는 화학 결합수로서 2배위 결합구조를 형성하며 나머지 2개는 결합에 직접 관여하지는 않지만 주변원자와 약한 상호작용을 하는 고립전자쌍 (localized lone pair, C_{20})으로써 가전자대 (valence band) 상부를 형성 하게 되는데 이 가전자대 상부는 결정 반도체와 달리 전자 상태 밀도의 끝단이 확장되고 늘어서 가전자대에 밴드 tail을 형성한다. 한편 GST의 Te 원자는 2배위 공유 결합을 하므로 Te-Te의 긴 chain 구조를 형성하고 Ge과 Sb는 각각 4배위, 3배위로 결합에 관여 하는데, 이중 길게 연결되어 있는 Te-Te chain 구조는 8-N 법칙을 만족하지 못하는 결합을 다량 포함하고 있어 이 결합이 밴드갭 내에 고밀도의 3배위 도너형 포획 (donor like trap, C_{3+}) 과 1배위 억셉터형 포획 (acceptor like trap, C_{1-})을 제공한다. 비정질 GST의 밴드갭은 약 0.7 eV로 알려져 있으며 정공전류가 현저하고 정공의 이동도가 전자의 이동도 대비 40배 정도 큰 P형 반도체를 이룬다. GST가 준

안정상인 결정상 (NaCl 구조)일 때는 <그림 2-7>에서 도시된 격자 내 격자 결손 (vacancy)이 억셉터형 포획 (acceptor like trap)을 제공한다. 이 경우 밴드 갭은 약 0.5 eV 이며 P형 반도체 또는 degenerately doped 된 P형 반도체 특성을 갖으며 안정상인 육방형 (Hexagonal 구조)의 경우는 금속에 가까운 특성을 보인다.

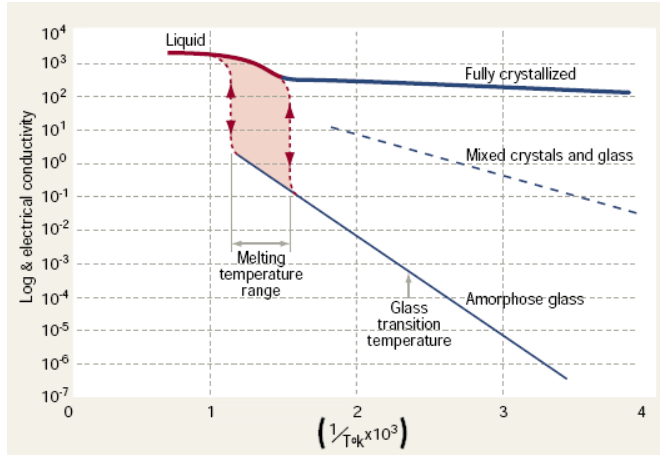
C. 전도 특성

GST와 같은 비정질 반도체는 온도에 따라 전기전도도가 지수 함수적으로 증가하는 전도 특성을 갖는다. 그러므로 전기장이 없는 경우 재료의 전기전도도는 식 (1) 과 같이 표현 될 수 있다.

$$\sigma = \sigma_0 \exp(-E_a/kT) \quad (1)$$

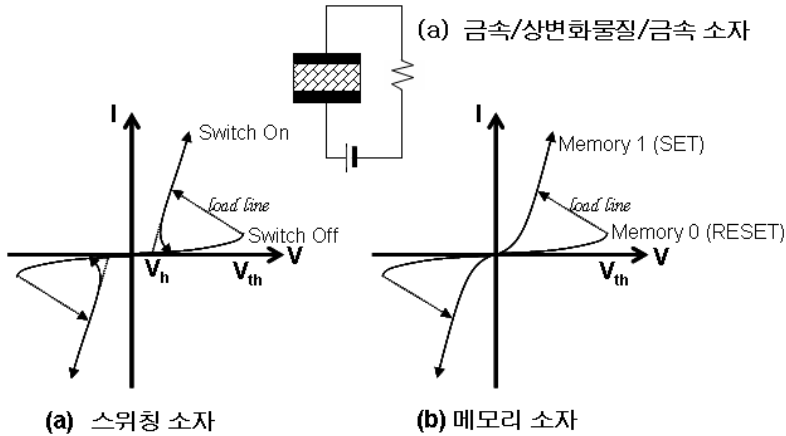
<그림 2-9>는 일반적인 chalcogenide glass의 온도에 따른 전기전도도 특성을 보여주는 그래프이며 GST 또한 비슷한 특성을 보인다. 식 (1)에서 σ_0 는 재료 및 조성에 따라 다르나 약 $10^3 (\Omega\text{cm})^{-1}$ 의 값을 가진다. 용융상태에서 급냉에 의해 비정질화 된 재료는 매우 낮은 전기전도도를 보이며 온도 감소에 따라 전기전도도가 감소하는데 이때 열적 활성화에너지 (E_a)는 약 0.5 eV이다. 반면 용융된 재료를 서서히 냉각하면 결정화가 일어나고 매우 큰 전기전도도를 보이며 온도에 따라 전기전도의 값이 크게 변하지 않는 degenerately doped된 반도체 특성을 보인다. 이와 같이 GST의 비정질 상태와 결정질 상태의 전기전도도 차이가 매우 크므로 이 차이를 정보저장 및 판독에 이용 하는 것이다. 앞서 상변화 메모리 원리에서 언급한 바와 같이 GST 재료의 양단에 GST와 반응하지 않는 refractory 금속 전극을 연결하고 전기 펄스를 인가함으로써 상변화 재료의 두 가지 상태 즉 비정질상과 결정상을 구현할 수 있는데 이러한 원리를 정상상태 DC I-V 특성 곡선으로부터 알 수 있다.

<그림 2-9> Chalcogenide 재료의 온도에 따른 전기전도도 변화 [4]



<그림 2-10>은 금속/상변화물질/금속 소자에서 나타나는 두 가지의 전류-전압특성 곡선이다. Te-As-Ge-Si과 같은 재료에서는 threshold 스위칭 특성을 나타내는데 비정질 상태의 고저항 소자는 어느 임계전압 (V_{th})에서 급격히 저저항 상태 (On state)로 되고, 특정 전압 (holding voltage, V_h) 이하로 전압이 떨어지면 다시 고저항 상태 (Off state)로 되돌아가는 스위칭 소자로 작동한다. Ge-Sb-Te와 같은 재료는 이와는 달리 저저항 상태로 일단 스위칭 된 소자는 인가전압을 감소시켜도 고저항 상태로 되지 않고 저저항 상태 (memory 1, SET)로 기억되며 높은 전류를 짧게 흘려줌으로써 고저항 상태 (memory 0, RESET)로 되돌려 줄 수 있는 메모리 소자로 작동한다.

<그림 2-10> 금속/상변화물질/금속 구조의 스위칭 소자 및 메모리 소자의 전류-전압 특성 곡선



C-1. Off-state 영역

스위칭 및 메모리 소자의 전류-전압 특성 곡선은 전도 특성에 따라 크게 세 영역 즉, 고저항의 off-state 영역, 부저항 특성 영역, 저저항의 on-state 영역으로 나눌 수 있다. Off-state 영역은 인가 전계 따라 다시 저 전계 off-state 영역과 고 전계 off-state 영역으로 나뉘어 지는데 저 전계 ($10^3 \sim 10^4$ V/cm 이하) 영역에서는 전계 증가에 따라 V_{th} 의 3분의1의 전압 (V_0) 까지는 전류가 선형적으로 증가하는 ohmic 동작 특성을 보이고 V_0 이후에는 non-ohmic 동작 특성을 보인다. Ohmic 영역에서는 비정질 반도체 내의 고농도($\sim 10^{20}$)의 결함들 (trap site)에 의해 carrier (이 경우 주로 hole) 들이 hopping conduction을 하게 되며 전류밀도는 식 (2)를 따르며 인가 전계에 따라 선형적으로 전류가 증가한다.

$$J = E \exp(-\Delta E_a/kT) \quad (2)$$

$$\sigma = ne\mu \quad (3)$$

전류 증가에 따라 소자의 온도가 증가하고 온도 증가는 carrier 농도 (n)를 증가 시킬 것이다. 또한 인가 전계 (E)의 증가는 밴드 갭 끝단에서의 carrier mobility (μ)를 증가 시키므로 재료의 전기전도도가 증가하고 (식 (3)) 전류는 비선형적으로 증가하게 된다. 이 영역에서의 전도 특성에 대하여는 칼코지나이드 물질에 따라 space charge limitation current ($I \propto V^2$) [12], Poole-Frenkel 또는 Schottky emission mechanism ($I \propto \exp(V/0.5)$) [13], 또한 일반적인 유전물질의 전도특성으로는 설명되지 않는 특성 ($I \propto \exp(V)$) [14] 등을 보고하고 있으며 최근 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 에 대한 연구에서 A. Pirovano는 impact ionization에 의한 carrier generation 모델을 제시한바 있다 [15]. 전압이 문턱 전압 이상으로 증가 하면 재료의 전기 전도도는 급격히 증가하여 on-state 로 스위칭 하는데 이는 식 (4)와 같이 온도 증가 및 전계 증가에 의한 전도도 증가 효과가 중첩되어 나타나는 현상으로 설명되고 있다.

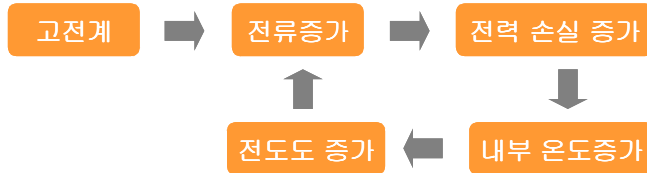
$$\sigma_T = (n_0 \exp(-E_a/kT)) e (\mu_0 \exp(aE)) \quad (4)$$

C-2. Negative Resistance 영역

C-2-1. 열 모델

상기의 모델로 off state에서 on state로의 스위칭은 설명이 되지만 부성저항 특성 영역은 설명이 되지 않으며 따라서 지금까지도 논란이 많은 부분이다. 이 영역을 설명하는 모델은 크게 순수 열 (thermal) 모델, 필라멘트 (filament) 모델, 열전기 (electrothermal) model, 전기 (electronic) 모델 등이다. 앞서 설명한 바와 같이 금속 전극과 접촉되어 있는 GST 상변화 물질을 통해 전류가 흐르면 전자 또는 홀 carrier는 마찰열과 원자의 열 진동에 의해 주울열이 발생한다. 이 열은 carrier 농도를 증가시키고 인가된 전계는 carrier 이동도를 증대시킬 것이다. 이때 전계 증가로 인한 전류의 증가 및 이에 따른 온도 상승과 전도도 증가는 positive feedback loop을 형성하여 특정 순간 극적인 전도도 증가를

유발한다는 것이 순수 열 모델이다. Feedback loop을 다시 나타내면 아래와 같다.



그러나 이 모델의 경우 상변화 물질에 인가되는 전계 및 주울열에 의한 온도 환경에서 전기전도도가 103 배 이상 증가하는 부성저항 영역을 설명하는 것은 무리가 있다. 이에 따라 1960년대 말 ~ 1970년대 초 연구자들이 제시한 모델이 전도성 필라멘트 형성에 의한 스위치 모델이다 [16][17]. 전계 인가에 의해 상변화 물질에 전류가 흐르면 상변화 물질 내에 전도성 필라멘트가 형성되는데 이 필라멘트는 매우 작아 적은 전류에 의해서도 쉽게 발열하고 이 필라멘트가 특정 온도에 도달 하면 전기전도도가 급격히 증가한다는 것이다. 실제로 Te-Ge-Sb-S를 이용한 메모리 소자에서 전극 및 비정질 영역을 식각하고 SEM (Scanning Electron Microscopy) 관찰을 하는 경우 Te 또는 Te-rich의 전도성 필라멘트가 발견 되었다. [18][19].

C-2-2. 열전기 모델

한편 이러한 전도성 필라멘트가 제한된 전류에 기인한 주울열에 의해 형성될 수 있을 정도로 소자의 내부온도가 올라가는가에 대한 논란에 대해 T. Kaplan 등은 일반적인 비정질 반도체에서 나타나는 electronic effect를 도입하여 설명하고자 하였는데, 금속 전극과 상변화 물질 계면에서의 공간 전하 주입 (space charge injection) 전류 또는 매우 좁은 Schottky barrier를 통한 터널링 전류에 의해 필라멘트를 형성시키기에 충분한 주울열이 발생하고 이에 따라 전기전

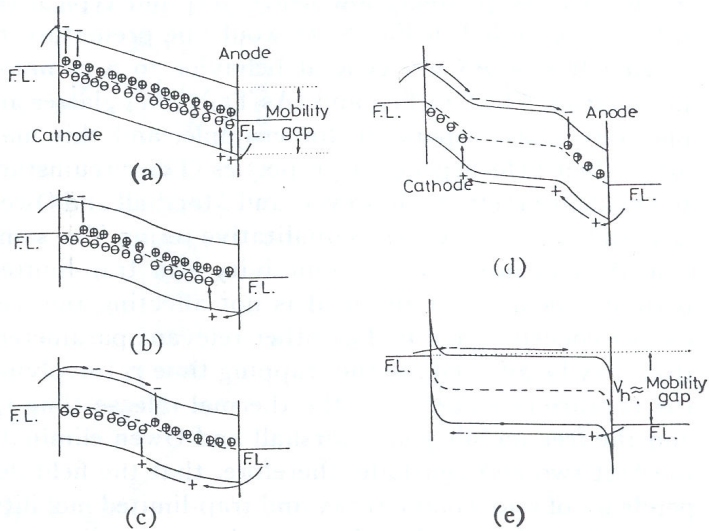
도도가 급격히 증가 하므로 threshold switching 특성 (부성 저항 특성) 이 나타난다고 보고하였다 [20][21]. 이 모델은 일정 전류가 장시간 인가되는 정상 상태 DC I-V 특성에서는 실험 결과와 잘 부합되는 모델이라 볼 수 있으나 상변화 물질이 얇은 ($< 1\mu\text{m}$) 경우는 스위칭 시의 주울열이 그리 높지 않으며 [17] 충분한 주울열이 발생하기에 매우 짧은 수 ns의 transient pulse test 에서도 부성저항 특성이 나타나므로 [22] 이를 반박하는 새로운 모델인 전기 (electronic) 모델이 제안되었다

C-2-3. 전기 모델

전기 모델은 크게 space charge에 기인한 double injection 모델과 hot electron 모델로 나누어진다. <그림 2-11>은 double injection 모델에서 부성 저항 특성이 일어나는 과정을 밴드 다이어그램을 이용해 설명하고 있다. 이 모델은 펜실베니아 주립대의 H. K. Henisch [23]가 처음 제안한 모델이며 <그림 2-11>의 밴드 다이어그램은 I. Lucas [24]가 이 모델을 좀 더 자세히 설명해 놓은 것이다. 앞 절에서 언급한 바와 같이 비정질 반도체 내에는 약 1020 농도의 도너형 포획 사이트와 억셉터형 포획 사이트가 존재하며 Fermi 준위는 밴드 갭의 중앙에 pinning되어 있다. 전극 양단에 전압을 인가하면 <그림 2-11> (a)와 같이 전계가 형성되는데 음극 (Cathode)에서는 전자가 양극 (anode)에서는 홀이 상변화 재료 내부로 주입 (injection) 되면서 포획사이트에 trap 되어 전극주위에 공간전하영역 (space charge region) 이 형성되고 이에 따라 전극 쪽의 전계는 낮아지고 중심부의 전계는 증가 한다 (그림2-11(b)). 인가 전계가 증가함에 따라 전하의 주입은 증가하고 양단의 공간전하영역은 서로 중첩 될 때까지 넓어진다 (그림 2-11(c)). 공간전하영역이 중첩된 부분은 중성 전하 영역으로 전기 전도도는 증가하고 인가 전계는 감소하며 전극 쪽의 전계는 증가할 것이다 (그림 2-11(d)). 이러한 상황은 매우 불안정하며 이에 따라 전극에서 주입되는 carrier가 가속되고 포획 사이트가 거의 없으므로 이동도 또한 증가할

것이다. 이 상황이 threshold switching (부성 저항) 특성이 나타나는 상황이다. 부성저항 영역을 지나 on-state 에서는 전극 부분에 전계가 집중되어 Schottky-type의 터널링 장벽이 형성되고 내부 영역은 완전히 평탄해져 인가 되는 carrier들은 터널링하여 안정된 on-state를 유지하게 된다(그림 2-11(e)). 이 모델에 의하면 전도특성은 인가 전류의 방향에 무관해야 하나 극성과 무관하다는 결과 [25] 와 그렇지 않다는 결과 [26]가 있어 논란이 되었지만 당시에는 가장 타당한 모델로 받아들여졌다. 또 다른 전기 모델은 hot electron effect 모델이다. 이 모델역시 double injection 모델과 같이 1970년대 초 주창되었는데 2002년 ST microelectronics의 A. Pirovano가 이 모델을 이용하여 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 의 I-V 특성을 simulation 하여 발표함으로써 새롭게 주목 받는다 [27].

<그림 2-11> Double injection 모델의 schematic band diagram



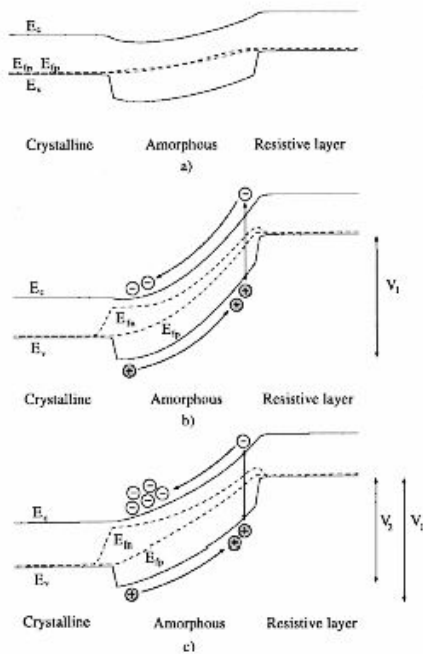
일반적으로 칼코지나이드 유리에 107 V/m의 고 전계를 인가하면 hot

electron effect가 나타나는데 이 현상에 의한 carrier 증가로 switching 현상을 설명하고 있다. 상변화 물질 내에 주입된 전자들은 전자-전자 충돌을 하며 이때의 energy 교환비는 전자-포논 interaction에 비해 매우 높아 내부 온도를 상승시키고 임계치에 도달했을때 collective breakdown을 일으켜 부성저항 특성을 갖게 된다. 그러나 collective breakdown을 일으킬 수 있는 electron의 density는 일반적인 전계 상황에 비해 10³~10⁴ 배 이상이 필요하므로 over-voltage가 인가되는 상황에만 부합되어 일반적인 모델로 받아들여지지 않았다. 저 전계에서의 스위칭 현상을 설명하기 위해 저 전계 즉 electron density가 낮은 경우에도 가능한 electron-atom 충돌에 의한 impact ionization 현상을 기초로 avalanche breakdown 모델이 N. F. Mott 등에 의해 제시되었다 [29]. A. Owen은 이 모델들 자체로 스위칭 현상이 일어나는 것을 설명하기는 충분하지 않고 열모델과 합쳐질 때 스위칭이 일어날 수 있다고 설명하고 있어 엄밀한 의미에서 순수 전기 모델은 아니며 double injection 모델에 비해 연구가 그렇게 많이 진행된 모델은 아니다 [28][29].

앞서 언급한대로 A. Pirovano는 현재까지 알려진 상변화 물질에 대한 지식을 바탕으로 순수 electronic 모델을 아래와 같이 제안하였다. <그림 2-12>의 밴드 다이어그램은 결정질 Ge₂Sb₂Te₅의 비정질 부분이 전극과 맞닿아 있는 경우를 묘사한 것이다. 앞서 언급했듯이 비정질 Ge₂Sb₂Te₅의 밴드갭은 약 0.7 eV이며 도너형 및 억셉터형 포획 사이트가 약 10²⁰ 존재하며 페르미 준위는 중심에 pinning 되어 있다. 결정질 Ge₂Sb₂Te₅의 밴드갭은 약 0.5 eV이며 vacancy 들에 의해 억셉터형 트랩들이 존재한다. <그림 2-12> (a)는 저 전계 off-state 상황이며 ohmic 거동을 보이는 영역이다. 전계가 증가하면 impact ionization이 일어나고 이에 따른 secondary hole 생성으로 전류는 non-ohmic 특성 즉, 지수 함수적으로 증가하게 된다. Impact ionization으로 생성된 secondary electron들은 Shockley-Read-Hall 재결합 이론에 따라 도너형 트랩에 재결합되며 자유 전자의 수가 늘어나게 되며 이 경우 전자의 quasi fermi

준위 (E_{fn})는 전도대 근처로 이동하게 된다. 문턱전압 (V_{th}) 근처에서는 impact ionization 이 carrier recombination을 증가하며 voltage snap-back (부성 저항)이 발생 한다 (그림 2-12(b)).

<그림 2-12> 상변화 메모리 스위칭 동작시의 에너지 밴드 다이어그램 변화



부성 저항 특성이 일어나면 전류는 급격히 증가하므로 소자에 걸리는 전압은 줄어들지만 ($V_1 \rightarrow V_2$) impact ionization은 여전히 발생하여 on-state를 유지한다 (그림 2-12(c)). 이 모델의 특징은 열적 과정이 전혀 없이 전기적으로 부성저항 특성을 설명하는 모델로 정공이 다수 캐리어인 p-type 칼코지나이드 반도체에서 on-state의 다수 캐리어는 전자며 전자에 의해 전기전도가 유지된다는 모델이다. 상기와 같이 부성저항 스위칭 현상에 대한 많은 모델이 존재하며

여러 논란이 있지만 일반적으로 스위칭 현상이 열적 과정 및 전기적인 과정의 조합에 의해 일어난다는 것이 대표적인 견해인 것으로 생각된다.

C-3. On-state 영역

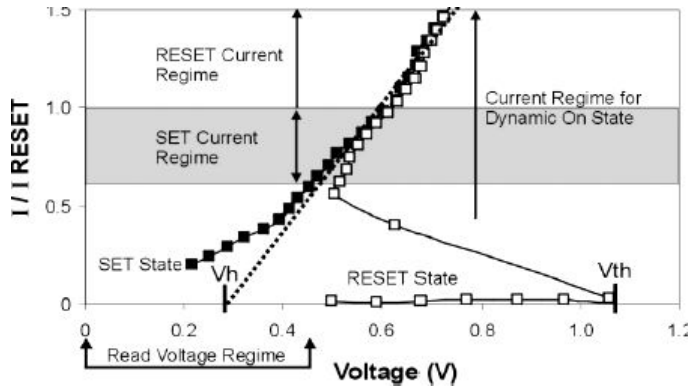
Threshold switching 소자의 경우 부성저항 특성 이후 소자는 dynamic impedance가 영에 가까운 특성을 보이게 되는데 이 경우 소자에 인가되는 전압을 일정하게 유지시켜 주면 소자는 on-state를 계속 유지하게 된다. 이때의 전압을 보유전압 (V_h), 전류를 보유 전류 (I_h)라 한다. On-state가 형성되는 원리는 앞의 부성저항 영역에서 설명하였다. 메모리 소자의 경우 on-state로 switch된 소자에 흐르는 큰 전류에 의해 주울열에 의해 상변화 재료는 비정질 상태에서 결정질로 상변화를 하게 되며 전원을 끈 이후에도 결정질의 저 저항 상태를 계속 유지하게 된다.

라. 상변화 메모리 동작

(1) 전기적 동작 특성

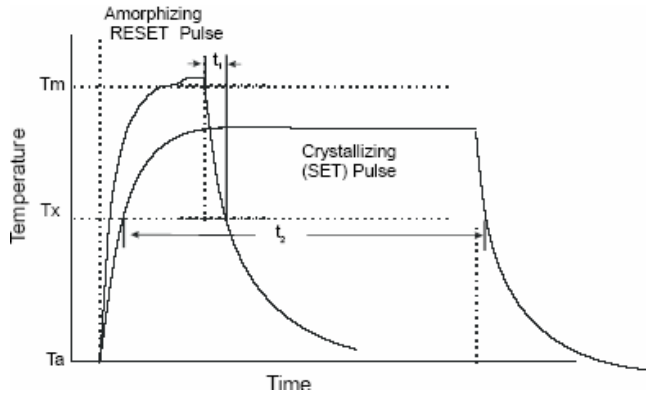
상변화 메모리의 실제 동작은 비정질화 (RESET, 쓰기) 펄스, 결정질화 (SET, 지우기) 펄스, 판독 (Read) 펄스 인가에 의해 이루어진다. 앞서 설명한 I-V 특성 곡선에 의거 <그림 2-13>에서 보는바와 같이 비정질 상태의 소자에 SET 전류 영역에 해당하는 펄스를 인가함으로써 결정질로 상변화 시킬 수 있으며 결정질 상태의 소자는 RESET 전류 영역의 해당 펄스를 인가함으로써 상변화 재료를 용융을 거쳐 비정질화 시킬 수 있다. 판독 펄스는 switching이 일어나지 않도록 V_{th} 보다 작은 전압을 인가하고 이때의 전류 차이를 통해 정보를 판독할 수 있다.

<그림 2-13> 상변화 소자 I-V 특성 곡선 및 SET, RESET, READ 전류 영역 (Intel, IEDM, 2001)

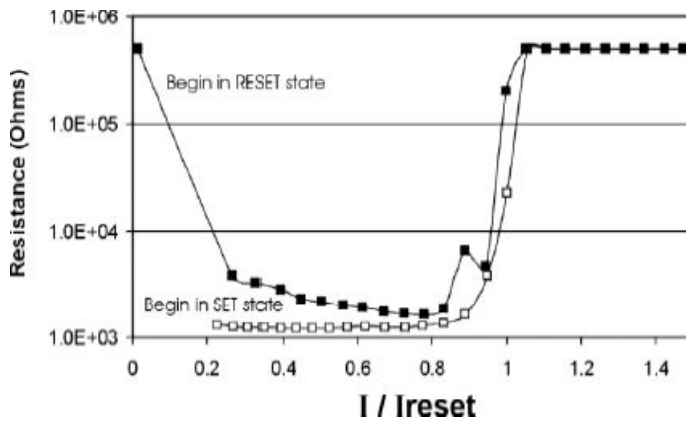


<그림 2-14>는 소자 동작에 필요한 programming 펄스를 나타낸 그림으로 종축의 온도는 인가 전류와 부합한다. RESET 펄스의 경우 재료를 용융시킬 수 있는 전류를 인가한 후 급히 펄스를 끊으면 수 ns 내에 재료가 냉각되어 비정질 상태로 변화하며 SET 펄스의 경우 결정화 가능한 전류를 결정화에 필요한 시간 이상으로 인가하면 결정질 상태로 변화한다. 소자구조 등에 따라 다르지만 $Ge_2Sb_2Te_5$ 의 경우 RESET 시간은 약 70 ns 이내, SET 시간은 약 100 ns 이내로 보고 되고 있다.

<그림 2-14> 상변화 메모리 소자의 프로그래밍 (Intel, IEDM, 2001)



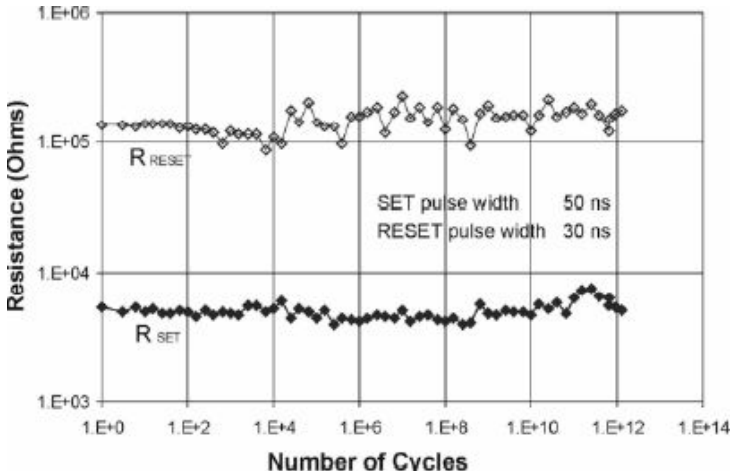
<그림 2-15> 동작 전류에 따른 SET 및 RESET 저항 비교 (Intel, IEDM, 2001)



상기와 같은 펄스인가에 의해 소자의 저항이 변하는데 <그림 2-15>를 참조하면 저 저항상태에 있던 소자에 RESET pulse를 인가하는 경우 특정 전류에서 급격히 저항이 증가하는 것을 볼 수 있으며 고 저항 상태의 소자에 SET 펄스를 인가하면 저항이 급격히 감소하고 이 상태를 유지하다가 전류 증가에 의해 다시

고 저항 상태로 돌아가는 것을 볼 수 있다. SET 및 RESET 펄스에 의한 저항의 변화는 가역적으로 일어나며 저항의 변화가 10¹² 번까지 안정적으로 동작하였다고 보고하고 있다 (그림 2-16).

<그림 2-16> 동작 횟수에 따른 SET 및 RESET 저항 비교
(Intel, IEDM, 2001)

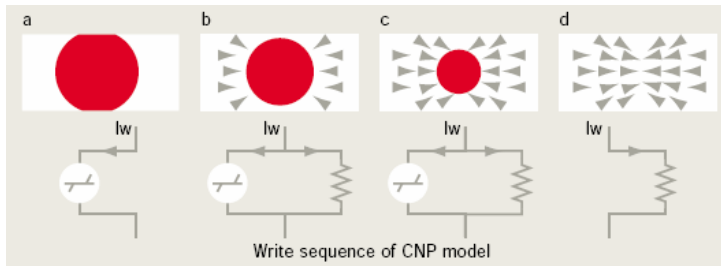


(2) 열적 동작 특성

전기적 동작 특성에서 설명한 과정에 따라 저전도에서 고전도 영역으로 스위칭된 상변화 메모리 소자가 비정질 상태에서 결정질 상태 또는 그 반대로 변화하는 것을 정밀하게 묘사하기 위해서는 heat equation에 의한 열 해석과 이때 수반되는 결정화 거동의 이해를 위한 Johnson-Mehl-Avrami equation의 해석, 그리고 결정화 volume fraction 증가에 의한 percolation conductance 해석이 요구된다. 실제 이러한 모델들을 이용하여 각종 시뮬레이션 툴이 제작되고 있다 [30]. 본 절에서는 실제 상변화 재료 영역의 온도 프로파일 및 SET 및 RESET 과정에서의 비정질화, 결정화 과정이 어떻게 이해되고 있는지에 대하여 정성적으로 살펴보겠다.

비정질 반도체 메모리의 동작 특성에 대한 대표적 모델은 시카고 대학의 M. H. Cohen, Energy Conversion Devices사의 R. G. Neale, 퀸스 컬리지의 A. Paskin 세 사람의 성 첫 글자를 딴 CNP 모델 [31] 이다. <그림 2-17>은 SET 과정을 나타내는 그림이다. 비정질 상태의 소자에 전압을 인가하면 conducting filament 영역 형성과 함께 저 전도도 상태로 switching 되며 전류는 conducting filament 영역의 경로를 따라 흐른다. <그림 2-17> (a)의 붉은 부분이 conducting filament 영역이다. 이 영역의 온도가 결정화 온도 (T_c) 이상으로 상승하면 결정화가 진행되며 전류의 경로는 conducting filament path와 성장한 결정화된 path 양쪽으로 흐를 것이다(그림 2-17b). 이에 따라 conducting filament 영역은 줄어들고 결정질 영역은 점점 성장하여 (그림 2-17c) 결국 모든 전류는 결정질 path로만 흐르게 된다(그림 2-17d). 이후 SET 펄스를 끊으면 소자는 결정질 상태로 남아있게 된다.

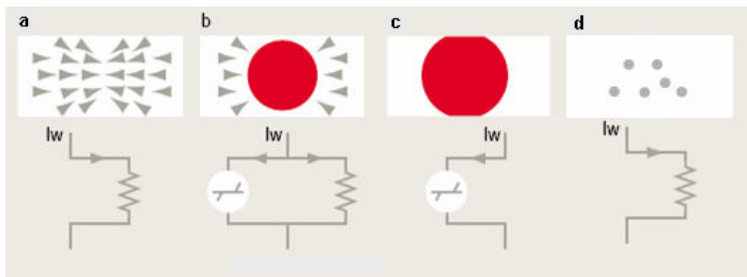
<그림 2-17> CNP 모델에 의한 writing (SET) 과정 [4]



<그림 2-18>은 RESET 과정으로 <그림 2-17>을 재구성한 것이다. 결정화 상태의 소자에 전압을 인가하면 큰 전기전도도로 인해 전류는 쉽게 상하부 전극 사이를 통해 흐른다(그림 2-18a). 전압을 높여 좀 더 많은 전류를 흘리면 재료의 온도가 용융점에 도달하여 melt pool이 형성되고 전류가 증가함에 따라 많은 양의 전류를 흘리면 상변화 재료에 melt pool이 형성되며 전류는 용융된 부분과 용융점에 도달하지 못한 결정질 부분으로 양분 된다 (그림 2-18b). 결정질

부분이 완전히 용융되어 전류 path가 melt pool 에만 존재할 때 RESET 펄스를 끊으면 재료는 quenching 되고 비정질 상태로 남게 된다. 이때 완전히 용융되지 않았던 일부 결정 알갱이 (crystallite)들이 남게 되는데 이 결정 알갱이들은 SET 동작 시 conducting filament의 핵(nuclei) 으로 작용하여 빠른 결정화를 이끌게 된다.

<그림 2-18> CNP 모델에 의한 writing (RESET) 과정



2. 국내외 연구개발 동향

가. 해외 연구 동향

앞 절의 상변화 메모리 연구 역사에도 밝혔듯이 상변화 메모리에 대한 연구는 1970년대 초 이미 시작되었으며 Energy Conversion Devices사를 중심으로 재료의 전기적 구조, 전도 특성, 소자개발 등이 활발히 진행되었다. 이후 광 메모리 소자가 인기를 끌며 전기 메모리에 대한 연구가 뜸한 이후 Intel의 차세대 비 휘발성 메모리에 대한 전략적 투자를 기점으로 기업 연구소를 주축으로 활발한 연구가 진행되고 있다. 특히 상변화 메모리 상용화를 위해 Energy Conversion Devices에서 설립한 Ovonyx사와 이 회사와 제휴 또는 공동연구 관계를 맺은 Intel, STmicroelectronics, BAE systems, Azalea사 등에서

stand-alone memory, embedded phase change memory에 관심을 갖고 상변화 메모리 연구를 주도하고 있다. ECD사를 제외하고 가장 오랫동안 상변화 메모리 관련 연구를 해 오고 있는 곳은 일본 가나자와 대학 공학부의 나카무라 가즈야 교수 그룹이다. 이 그룹은 Ovonyx, Intel 에서 주도하고 있는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 재료를 이용한 상변화 메모리와는 달리 As-Sb-Te 또는 Se-Sb-Te 등 새로운 재료를 이용한 상변화 메모리에 대한 연구에 심혈을 기울이고 있으나 기업이 아닌 학교 연구소 주도로 이루어지고 있어 이 분야 연구의 리더그룹으로 부상하고 있지는 못하다. 2003년 미국의 보스톤과 워싱턴 D.C.에서는 각각 재료학회(Materials Research Society, MRS)와 국제 전자소자학회(International Electron Devices Meeting, IEDM)가 연이어 개최 되었는데 이때 상변화 메모리 심포지엄 및 차세대 메모리 소자 세션이 각각 열려 상변화 메모리에 대한 연구가 세계적으로 매우 활발해지고 있다는 것을 부여 주었으며, 앞서 언급한 두 그룹 외에 많은 그룹에서 상변화 메모리 연구가 수행되고 있음이 드러났다. 메모리 회사로서는 삼성전자를 비롯한 일본의 히타치, 대만의 매크로닉스가 그들의 연구결과를 발표하였으며 광 메모리 관련 연구를 주로 하던 싱가포르의 Data Storage Institute 및 필립스 리서치에서도 연구 결과를 발표하였다. 상변화 메모리 재료에 대한 기초 연구 분야에는 독일의 아헨 대학교, 일본의 산업기술 종합연구소(AIST), 마츠시타 기술연구소 등에서 연구가 활발히 진행되고 있다.

나. 국내 연구 동향

국내의 경우 상변화 광 메모리 연구에 대한 역사는 오래되었지만 상변화 전기 메모리에 대한 연구는 매우 짧아 2001년 경 삼성전자에서 연구를 위한 준비에 착수하였으며 2003년 국제 학회에 CMOS로 동작하는 상변화 메모리 원리 및 결과를 발표한 이래 stand-alone 형 비 휘발성 메모리 상용화를 위한 연구는 삼성전자에서 주도하고 있다. 초기에는 Ovonyx의 결과 및 핵심기술을 모방하

는 수준이었으나 현재는 상변화 메모리 집적화 및 셀 설계분야에서 기술을 선도하고 있는 것으로 보인다. 국가적으로는 차세대 메모리 기술 선점 및 원천기술 확보를 위해 2003년 테라급 나노 소자 개발 사업단의 과제로 ‘초고집적 상변화 메모리 개발’ 연구가 본격적으로 시작되었으며 광 메모리 및 반도체 메모리에 대한 연구 경험을 바탕으로 한국과학기술 연구소 (KIST), 한국전자통신 연구소 (ETRI) 등 국가 연구소 및 서울대학교, 고려대학교, 연세대학교 연구소 등에서 차세대 상변화 메모리 개발을 위한 연구가 진행되고 있다.

3. 국내외 기술 수준 비교 분석

최근 발표된 상변화 메모리 연구 결과를 바탕으로 국내외 기술 수준을 표 2-2에 비교 하였다. 상변화 메모리의 기술을 가늠할 수 있는 중요한 척도는 RESET current density, SET speed, cyclability, memory density 등이다. 얼마나 작은 current density로 상변화 (RESET, 비정질화)가 가능한가라는 것은 저 전력화에 필수이며 얼마나 빨리 상변화 (SET, 결정화)가 가능한가 하는 것은 고속 메모리에 있어 필수 조건이다. 반복 기록 성능 즉 cyclability는 정보 저장에 물리적 변화에 의존하므로 상변화 메모리의 가장 취약한 부분으로 극복해야 할 과제이며 memory density는 메모리 제조 능력 및 상용화 가능성의 척도라 할 수 있다.

<표 2-2> 국내외 상변화 메모리 기술 비교

	Intel (Ovonyx) [32]	Hitachi [33]	Philips [34]	Macronix [35]	Data Storage [36]	삼성전자 [37]
RESET Current Density	100mA/ μm^2	2.2mA/ μm^2	* 0.9 V	38.8mA/ μm^2	20mA/ μm^2	111mA/ μm^2
SET time	50 ns	1.25 us	10 ns	40 ns	10 ns	50 ns
Cyclability	1012	106	-	300	-	107
Memory Density	4 M-bit	-	-	-	-	512 bit
Technolog y	BiCMOS Ge ₂ Sb ₂ Te ₅	GeSbTe W electrode	doped SbTe TaSi ₂ electrode	Ge ₂ Sb ₂ Te ₅ W electrode	Ge ₂ Sb ₂ Te ₅ TiW electrode	CMOS Ge ₂ Sb ₂ Te ₅

* RESET current density가 언급되어 있지 않아 동작 전압을 게재하였음.

상변화 메모리의 경우 메모리 셀 성능 측정에 대한 국제적인 표준이 없기 때문에 측정 방법 및 조건에 따라 결과가 다르게 나올 수 있어 발표자들의 결과를 일대일 비교하기에 어려운 점이 있으나 저 전력화 관점에서 RESET시의 전류밀도는 히타치에서 발표한 2.2 mA/ μm^2 가 가장 작은 반면 상변화 속도는 1.25 μs 로 가장 느려 실용성은 없어 보이나 텅스텐 (W) 전극을 사용함으로써 저전력에서도 충분한 주울열을 낼 수 있었다고 밝히고 있다. 필립스, 매크로닉스, Data Storage의 경우 매우 빠른 상변화 속도 특성을 보여주고 있지만 그 외의 다른 특성은 언급 되어 있지 않아 종합적인 평가가 어렵다. RESET 전류 밀도, SET 속도, 반복 기록 성능 및 메모리 집적도등 종합적인 측면에서 Intel에서 발표한 BiCMOS 기술을 이용한 상변화 메모리가 가장 앞서 있다고 볼 수 있는데 이 메모리의 경우 access TR로 bipolar transistor를 사용하기 때문에 전류 구동능력은 크지만 고집적화에 불리한 단점이 있다. 이에 비해 삼성전자에서 발표한 상변화 메모리의 경우는 CMOS access TR을 이용하였으므로 원칙적으로 고집적화에 유리하나 이를 실현하기 위해서는 TR의 고성능화와 RESET 전력을 얻

마나 낮출 수 있는가 하는 것이 관건이다. 2004년 6월 하와이에서 열리는 VLSI symposium 자료에 따르면 삼성전자에서는 64 Mbit 고집적 상변화 메모리를 위한 집적화 기술을 발표할 예정으로 CMOS의 고성능화 및 RESET 전력 저감이 상당히 이루어진 것으로 생각 된다 [7].

제3장

문헌 및 특허 정보 분석

본 장에서는 상변화 메모리에 관한 기술문헌과 한국, 미국, 일본, 유럽의 특허 분석을 통해 현재의 연구개발 현황 및 기술개발 추이를 다각적으로 분석하였다.

1. 문헌정보 분석 및 기술개발 동향

가. 정보 분석 대상 DB와 검색조건

문헌정보 분석은 특정기술영역별로 등장하는 키워드를 이용하여 문헌을 추출하고 이를 정량적으로 분석하는 것으로 정성적인 연구개발 동향 분석과 함께 기술개발 동향을 가늠해 볼 수 있는 중요한 지표를 제공해 준다.

본 연구는 미국의 학술정보전문기관인 ISI(Institute for Scientific Information)에서 구축한 SCIE(SCI-Extend) 데이터베이스를 활용하여 상변화 메모리관련 기술 동향을 분석하였다.

검색어는 pram, phase change memory, oum을 사용하였으며 검색 필드는 Title과 Keyword로 제한하여 검색하였다. 이렇게 검색된 상변화 메모리 관련 논문은 총 322건으로 이를 대상으로 연도별, 국가별로 기술개발 추이를 살펴보았다.

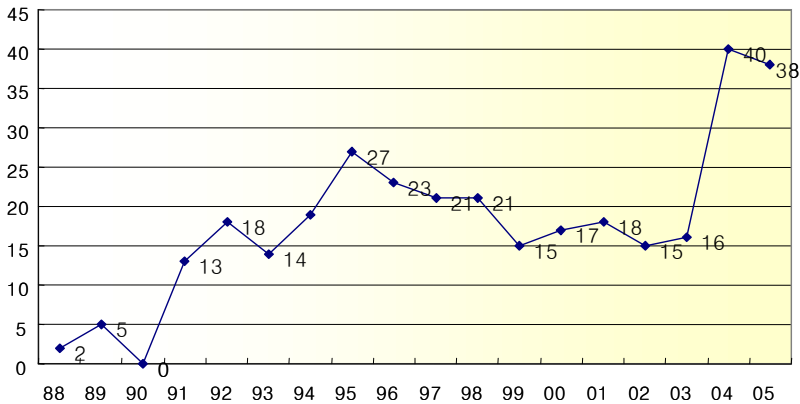
<표 3-1> 문헌정보 분석 대상 DB 및 검색식

대상 DB	DB내용	검색어	검색결과
SCIE	SCI 저널을 포함한 세계 6,000여종의 과학기술저널	pram, phase change memory, oum	322

나. 문헌정보분석

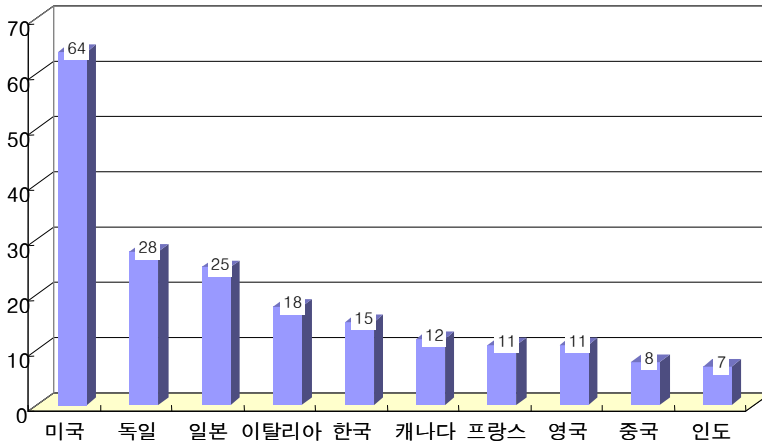
초기 상변화 메모리 관련 문헌은 Journal of Non-Crystalline Solid지의 1970~1972년 판에 집중되어 있다. 근래에 와서는 IEDM conference와 Symposium on VLSI Technology에 최신 기술들이 발표되고 있다. ISI의 SCIE 데이터베이스는 1986년 이후의 논문만 검색이 가능하여 본 장에서는 1986년 이후의 논문을 대상으로 분석하였다.

<그림 3-1> 연도별 논문건수 추이



상변화 메모리 관련 기술은 앞서 기술한 바와 같이 1960년대에 그 기본 이론이 발표되어 이후 관련 연구가 진행되었으나 큰 전력소모와 기록시간이 길어 크게 주목을 받지 못하였다. 1990년대 들어서면서부터 관련 논문이 증가되기 시작하였으나 연구하는 국가와 연구기관이 상대적으로 적은 편이었다. 최근 들어 한국, 이탈리아, 일본 등에서 상변화 메모리 관련 논문을 많이 발표하기 시작하였다..

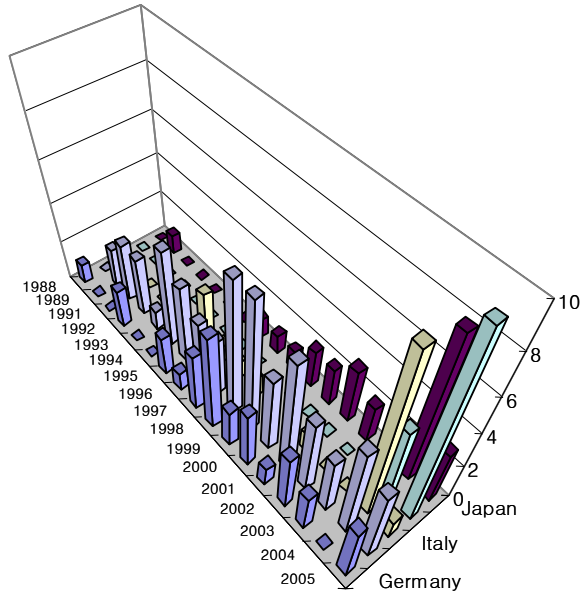
<그림 3-2> 국가별 현황



상변화 메모리 관련 논문은 36 개국에서 발표되고 있으며 이중 미국이 전체의 25%인 64건의 논문을 발표하였다. 다음으로는 독일(11%), 일본(9.8%), 이탈리아(7.1%), 한국(5.9%), 캐나다(4.7%), 프랑스(4.3%), 영국(4.3%)의 순으로 관련 논문을 많이 발표한 것으로 나타났다.

주요국의 상변화 메모리관련 논문 발표추이를 보면 미국, 독일의 경우 1995년부터 꾸준히 논문을 발표해 오고 있으나 한국, 일본, 이탈리아의 경우 2000년에 들면서 관련 논문을 내기 시작하였다.

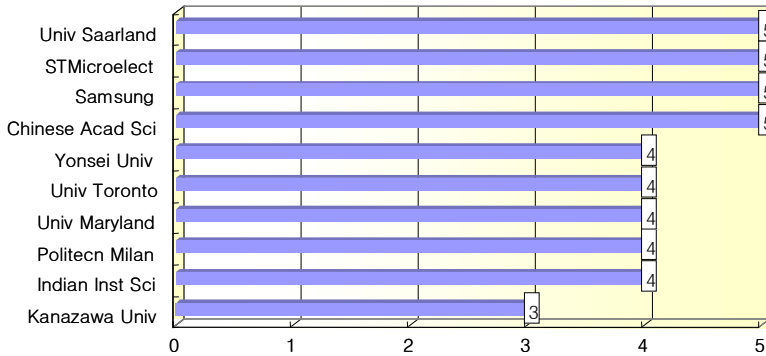
<그림 3-3> 주요국의 연도별 추이



한국의 경우최근 2년사이 상변화 메모리 관련 논문을 많이 발표한 것으로 나타났는데, 이는 삼성이 상변화 메모리 관련 기술을 차세대 비휘발성 메모리 기술 개발의 연장선에 있다고 판단하여 이 분야의 경쟁에 본격적으로 뛰어 들었기 때문이다. 삼성이외에도 연세대, 서울대, KIST, ETRI 등이 이 분야의 논문을 발표하고 있다.

주요연구기관을 살펴보면 독일 Saarland대학, ST Microelectronics, 삼성전자, 중국 과학원이 5건씩 논문을 발표하였으며, 연세대학교, 캐나다 토론토대학, 미국 매릴랜드대학 등이 4건씩 발표하였다.

<그림 3-4> 주요연구기관의 논문 발표 건수



2. 특허정보 분석 및 기술개발 동향

가. 정보 분석 대상 DB와 검색조건

특허자료의 정보 분석을 위한 DB로는 한국과학기술정보연구원(KISTI)에서 제공하고 있는 USPA, JEPa, EUPa, KUPa를 사용하였다. USPA는 미국, EUPa는 유럽, JEPa는 일본의 특허청 공개특허 정보를 재가공한 DB이다. KUPa의 경우는 한국공개특허 DB이다.

나. 특허정보분석

상변화 메모리 관련 원천특허는 1966년 S. R. Ovshinsky가 등록한 미국 특허 3,271,591 (Symmetrical Current Controlling Device) 에 기원을 두고 있으며 현재와 같은 형태의 상변화 메모리에 대한 특허는 역시 같은 발명인으로부터 1992년 등록된 미국 특허 5,166,758 (Electrically Erasable Phase Change Memory) 이다. 상변화 메모리의 원천특허는 상변화 메모리를 최초로 개발한 S. R. Ovshinsky가 설립한 Energy Conversion Devices사 및 자회사인 Ovonyx 에서 대부분 가지고 있으며 이후 상변화 메모리 연구에 뛰어든 여러 회

사에서 경쟁적으로 개선특허들을 출원하고 있다.

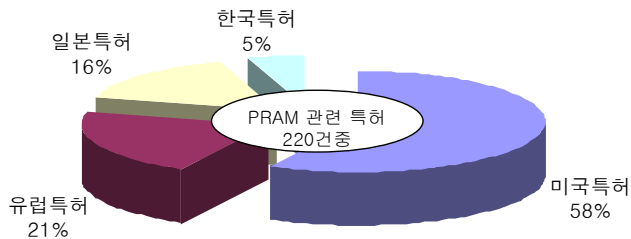
상변화 메모리 관련 특허 분석을 위해 외국 특허 DB의 경우 pram, phase change memory 키워드를 사용하여 검색하였으며, 한국 특허 DB의 경우 ‘상변화 메모리’ 키워드를 사용하여 검색하였다. 검색필드는 특허 검색의 정확도를 높이기 위해 발명명칭 필드로 제한하였다.

<표 3-2> 특허정보 분석대상 DB

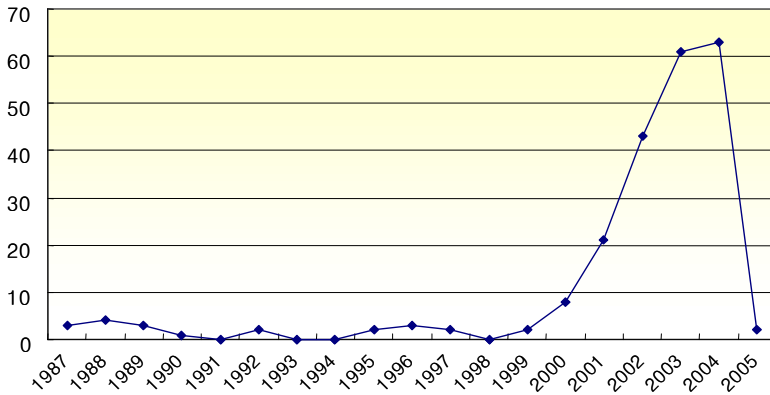
특허 DB		검색 키워드	건수
해외특허	USPA	pram, phase change memory	127
	EUPA		47
	JEPA		35
한국특허		상변화 메모리	11

검색된 상변화 메모리관련 특허는 총 220건으로 미국특허가 58%인 127건, 유럽특허가 21%인 47건, 일본특허가 16%인 35건으로 나타났다. 한국의 경우 11건의 특허가 검색되었다.

<그림 3-5> 대상 DB별 특허 비중



<그림 3-6> 연도별 특허 출원 추이



연도별 출원 추이를 살펴보면 1980년 이후 상변화 메모리 관련 특허가 2, 3 건씩 꾸준히 출원되다가 2000년 들면서 급격한 증가세를 보이고 있다.

<표 3-3> 주요출원인의 상변화 메모리 관련 특허 출원 건수

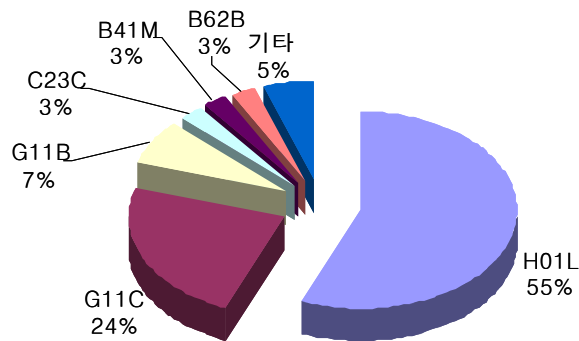
출원인	건수
STMicroelectronics	40
Ovonyx	30
Samsung Electronics	13
HOYA CORP	7
HP	7
ENERGY CONVERSION DEVICES	6
Macronix International Co	5
MITSUBISHI MATERIALS CORP	5
INTEL CORPORATION	4
Hynix Semiconductor Inc.	3

주요 출원기관은 상변화 메모리에 관한 원천 특허를 가지고 있는 Ovonyx사와 Energy Conversion Devices 사가 다수의 특허를 출원하였다. 그리고 Ovonyx사와 상변화 메모리개발관련 공동 연구개발 중인 ST Microelectronics

사가 많은 특허를 보유하고 있다. 국내의 경우 삼성전자가 13건의 특허를 출원한 것으로 나타났다.

출원된 상변화 메모리관련 특허의 IPC 분류별 현황을 살펴보면 이분야의 특허중 55%가 전기 섹션(H)의 반도체 장치를 나타내는 H01L 분류로 나타났으며 물리학 섹션(G)의 정보저장에 관한 분류인 G11C가 24%를 차지하였다.

<그림 3-7> 상변화 메모리분야 출원 특허의 IPC 분류



<표 3-4> 상변화 메모리 분야 출원 특허의 IPC 분류 내용

IPC 코드분류	내용
H01L	반도체 장치
G11C	정적기억 장치
G11B	기록매체와 변환기 사이의 상대적인 운동을 기본으로 하는 정보저장
C23C	금속재료의 피복

상변화 메모리 시장 분석

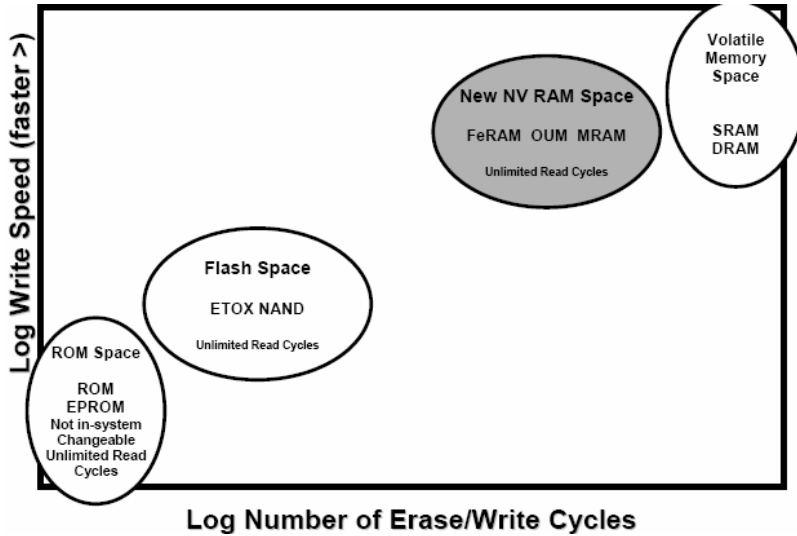
본 장에서는 반도체 메모리 시장 동향을 살펴봄으로써 상변화 메모리의 향후 시장에 대하여 예측해 본다.

1. 차세대 비휘발성 메모리

반도체 메모리 소자에서의 상변화 메모리의 위치는 그림 4-1에 나타낸 바와 같이 재 기록 횟수 및 기록 속도와의 관계를 통해 규정될 수 있다. DRAM이나 SRAM과 같은 휘발성 메모리는 고속 기록이 가능하고 수정 횟수는 거의 무한이다. 이에 대해 비휘발성 메모리인 EPROM이나 ROM등은 기록 시간이 매우 길며 수정은 불가능하거나 몇 번 되지 않는다. 이를 개선한 것이 flash memory로 기록 시간은 약 1 μ s, 재 기록 횟수는 약 100만 번 정도 가능하다. 그러나 현재의 flash memory는 재 기록 횟수 및 기록 시간에 있어 휘발성 메모리에 비해 매우 떨어지므로 재 기록 횟수 및 기록 시간을 대폭 개선한 것이 바로 차세대 비 휘발성 메모리 영역이며 상변화 메모리가 이 영역에 속한다. 즉, 상변화 메모리는 flash memory로 대표되는 기존 비 휘발성 메모리의 대체 또는 고성능 비 휘발성 메모리 시장에 stand-alone 형태 또는 embedded memory 형태로 우선 진입이 가능할 것으로 생각된다. 실제 차세대 비 휘발성 메모리는 상변화 메모리 외에 상변화 메모리 보다 먼저 연구된 고 유전 메모리 (FeRAM), 자기 메모리 (MRAM)와 최근 연구가 시작되고 있는 저항성 메모리 (RRAM), 고분자 메모리 (PORAM) 등이 있다. 이 새로운 메모리들이 모바일 시대의 도래 및 시장 규모 증가와 함께 비 휘발성 메모리 시장 대체 및 새로운 시장 개척을 위해 서

로 경쟁하고 있다.

<그림 4-1> 반도체 메모리 종류에 따른 기록 속도 및 기록 시간 비교



DRAM, flash memory를 비롯한 주요 차세대 비 휘발성 메모리의 동작 원리 및 장단점을 표 4-1 및 4-2에 나타내었다. DRAM 및 flash memory는 capacitor 및 gate 영역에 주입되는 charge를 이용하여 정보를 저장하며 FeRAM은 고유전막이 갖는 분극현상을 이용하며 MRAM은 MTJ(Magnetic Tunnel Junction)의 자화 방향에 따른 저항 차이를 PRAM은 상변화 물질의 비정질, 결정질상간의 저항 차이를 이용하여 정보를 저장한다. 표 4-2에 나타난 바와 같이 DRAM을 제외한 다른 메모리는 비 휘발성이며 flash memory에 비해 새로운 비 휘발성 메모리는 기록 속도가 매우 빠른 것이 가장 큰 특징이며 장점이다. 정보 저장 후 정보 판독 시에 기록한 정보가 파괴 되는가 그대로 유지되는가에 따라 destructive 방식과 non-destructive 방식으로 나뉘는데 FeRAM의 경우는 destructive 방식으로 정보 판독 후 정보를 다시 기록해야 하므로 판독 시간이 증가하며 이를 위한 회로 설계가 복잡해진다. 반면 MRAM과

PRAM은 non-destructive 방식이 가능하여 판독 시간이 짧고 주변회로가 간단해진다. 한편 MRAM의 경우 저장된 정보의 저항 차이가 30 % 정도로 10,000% 이상인 PRAM에 비해 매우 작아 셀 구조의 정밀도가 요구되며 셀 구조가 PRAM 대비 복잡해 bit 당 가격이 높은 단점을 안고 있다. 따라서 상기의 여러 관점에서 차세대 비 휘발성 메모리를 비교해 보면 현재까지는 PRAM (상변화 메모리)이 가장 경쟁력이 있음을 알 수 있다.

<표 4-1> 주요 반도체 메모리의 셀 회로 및 동작 원리 비교

		DRAM	Flash	FeRAM (Ferroelectric)	MRAM (Magnetic)	PRAM (Phase-change)
Equivalent Circuit						
Memory State	"1"					
	"0"					

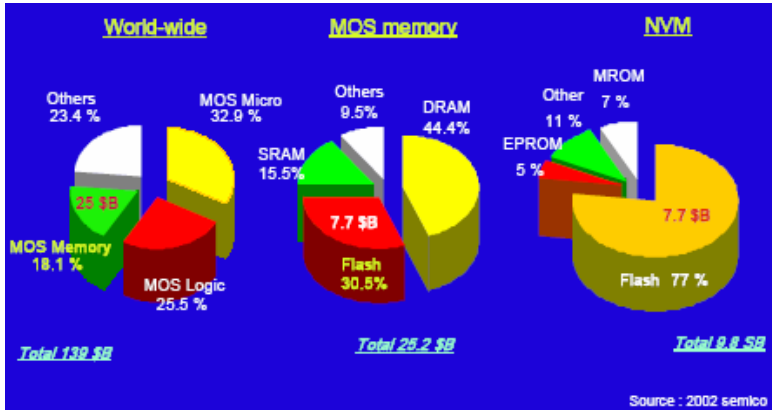
<표 4-2> 주요 반도체 메모리의 특성 및 성능 비교

	DRAM	Flash	FeRAM	MRAM	PRAM
Volatility	Volatile	Non-volatile	Non-volatile	Non-volatile	Non-volatile
Cell Size (F ²)	6 ~ 8	7 ~ 11	10 ~ 20	8 ~ 10	6 ~ 8
Wr/Er/Re (sec)	50n/50n /50n	1u/100m /60n	80n/80n /80n	30n/30n /30n	10n/50n /20n
Read	Destructive	Non-Destruct.	Destructive	Non-destruct.	Non-destruct.
Endurance	10 ¹⁵	10 ⁶	> 10 ¹²	> 10 ¹²	> 10 ¹²
Data retention	0.1 sec	10 year	10 year	10 year	10 year
Relative cost per bit	Low	Medium	High	Medium	Low
Main company	SEC, Micron	Toshiba, SEC	Ramtron, Fujitsu, SEC	IBM, Motorola, Infineon	Ovonix, Intel, STm, Micron

2. 상변화 메모리 시장 분석

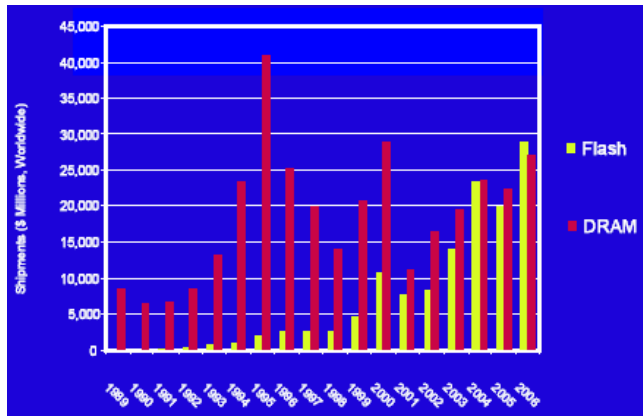
Ovonix는 OUM (상변화 메모리)의 목표 시장을 현재의 flash memory, DRAM, embedded memory, SOC, SRAM, ROM 시장 등으로 다양하게 잡고 있으나 현실적으로는 stand-alone flash memory 시장 과 embedded flash 시장의 대체 또는 고성능화가 적정한 수준이라 판단된다. 그중에서 시장 규모가 크고 확장 추세인 stand-alone flash memory 시장을 살펴봄으로써 미래 상변화 메모리의 시장 규모를 예측하고자 한다. <그림 4-2>에 나타난바와 같이 세계 반도체 시장 규모는 2002년 기준으로 1,390억 달러이며 이중 MOS 메모리 시장 규모가 18.1 %로 252억 달러이다. 이 시장을 DRAM과 비 휘발성 memory (NVM)가 거의 양분하고 있는데 비 휘발성 메모리의 대부분은 flash 메모리이며 flash 시장은 점점 성장하여 2006년에는 DRAM 시장 규모를 능가할 것으로 예측되고 있다 (그림 4-3).

<그림 4-2> 반도체 메모리 시장 현황

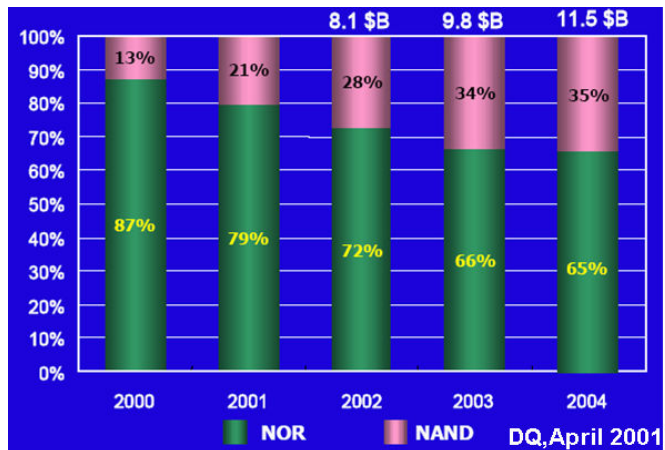


Flash memory 시장은 다시 크게 NOR flash 와 NAND flash 시장으로 양분 되는데 <그림 4-4>를 참조하면 NOR flash 시장이 독주하는 가운데 NAND flash 시장 규모가 해마다 증가하는 추세를 보이고 있다. 이러한 추세는 두 메모리의 특성에 기인한다. NOR flash는 random access가 매우 빠르고 byte 단위의 기록이 가능하기 때문에 code (OS, operation system) memory 로 사용되어 PC BIOS, cellular phone OS, switcher, PDA 등에 사용되는 반면 NAND flash는 random access는 느리지만 block 규모로 고속기록, 소거가 가능하므로 mass storage 용도의 memory card, voice recorder, 휴대용 메모리로 사용된다. 특히 고집적 메모리를 저가에 제조할 수 있어 최근 휴대용 저장장치 사용 증가 추세에 따라 시장 규모가 계속 증가하는 경향이다. 두 메모리는 메모리 집적도에 있어 극명한 차이를 보이는데 <그림 4-5>에서 알 수 있는 바와 같이 NOR flash 는 32M, 64M 메모리가 주류이며 NAND flash는 512M, 1G 메모리가 주류를 이루고 있다.

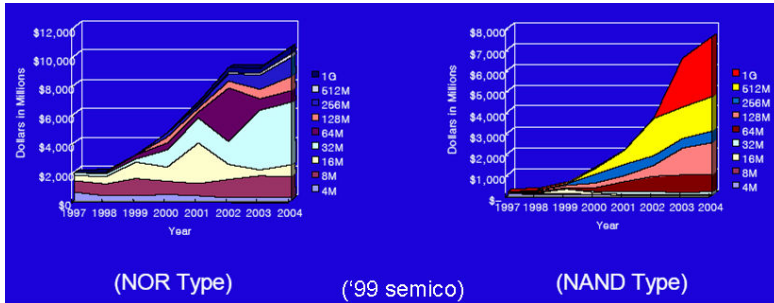
<그림 4-3> DRAM, Flash memory 시장 규모 비교



<그림 4-4> NOR, NAND Flash memory 시장 규모 비교



<그림 4-5> NOR, NAND Flash memory 집적도 비교



메모리 집적도에 있어서의 이러한 차이는 현재 상변화 메모리의 집적도 수준으로 볼 때 NOR flash memory 시장에 먼저 진입하는 것이 용이하다는 것을 말해준다. 삼성전자가 2004년 여름 VLSI symposium에서 발표했던 64M 집적도 수준의 상변화 메모리 [7]는 여기에 초점을 둔 것으로 생각된다. 따라서 상변화 메모리를 비롯한 차세대 비 휘발성 메모리가 NOR flash를 대체한다면 연간 최대 63억 달러 규모의 시장이 가능하며 기술 개발에 의한 고집적화가 실현되면 NAND flash 시장도 대체하여 연간 100억 달러 규모의 시장이 가능할 것으로 생각된다. 특히 이 시장은 계속 확장 추세에 있으므로 기술개발 및 시장 선점이 매우 중요하며 시급한 과제이다.

제5장

결론

상변화 메모리 기술이 개발된 지 30년이 지난 지금 모바일 시대의 도래 및 비휘발성 메모리 시장의 확대와 함께 차세대 메모리 상용화의 가능성은 점점 증가하고 있다. 앞서 언급한 대로 이 시장의 규모는 비휘발성 메모리 시장만을 고려했을 때 연간 약 100억 달러 규모이며 Ovonyx의 전략대로 휘발성 메모리의 대명사인 DRAM, SRAM 시장에 진입이 가능하다면 가히 천문학적 규모의 시장이 되는 것이다. Intel 에서 비 휘발성 메모리 부분을 총괄하고 있는 Stefan Lai 부사장은 상변화 메모리의 초기 진입 시장은 휴대기기용 system LSI 메모리로 2006년 상용화를 목표로 하고 있지만 기존 flash memory 시장의 강세로 인해 좀 더 미루어 질 수 있을 것이라고 밝히고 있다.

기술적으로 보면 상변화 메모리의 상용화에 있어 가장 큰 해결과제는 고집적화(대용량화)이다. 고집적화를 위해서는 기록 전류를 주입해 주는 트랜지스터의 크기를 줄여야 하는데 트랜지스터의 크기가 줄면 주입 가능한 전류의 크기가 감소하므로 작은 전류에서도 상변화가 가능하도록 상변화 재료 및 셀 구조를 최적화해야 한다.

두번째로는 고속화 인데 고속화는 현재 50 ns 까지 기록 속도가 향상되었으며 새로운 상변화 재료들이 발표되고 있어 큰 문제는 없어 보인다.

세번째는 셀 간의 열적 간섭 문제이다. 임의의 셀을 기록 또는 소거 할 때 발생하는 열이 인접 셀의 정보를 바꾸면 안되기 때문이다. 이 문제를 해결하기 위해서는 발열 영역을 최소화 하고 열전달이 잘 안되는 물질로 셀을 isolate 시켜

야 하는데 이 경우 발열 효율이 떨어지는 문제가 발생 하므로 이에 대한 최적화가 필요하다. Simulation 결과에 의하면 65 nm 까지는 열 간섭 문제가 없는 것으로 알려져 있는데 이것이 바로 고집적화에 있어 큰 제약이 되는 것이다.

또한 가장 큰 문제 중 하나는 재 기록 횟수 문제 즉 cyclability 문제 이다. 상변화 메모리에 있어서 불량 원인이 앞서 밝힌 바와 같이 전극 분리 및 재료의 상 분리 정도 밖에는 알려져 있지 않으며 더욱이 상변화 재료의 전도 특성 및 전기, 열적거동 등 완전히 풀리지 않은 문제들이 산적해 있어 이에 대한 원리를 이해하고 규명하는 것이 상변화 메모리 특성을 개선하는데 있어서의 큰 과제가 될 것이다.

국내 상변화 메모리 연구는 앞서 언급한 바와 같이 기업에서는 삼성전자가 주도하고 있으며 KIST, ETRI 등의 국가 연구기관과 서울대, 고려대, 연세대 등 학교 연구소가 협력하여 산학 또는 국가과제로서 연구를 수행하고 있다. 국내의 상변화 메모리 연구는 ECD 등 상변화 메모리를 개발한 미국 등에 비해 30년 가까이 뒤지고 있는 것이 사실이다. 이러한 시차를 극복하고 상변화 메모리에 대한 원천 기술을 확보하여 기술의 주도권을 확보하기 위해서는 산학연이 협력 관계를 맺고 기업에서는 제조기술 확보를, 학교와 국가 연구소에서는 신 재료 개발 및 학문적 연구 등에 매진해야 할 것이다. 현재의 상변화 메모리는 256M 급으로 연구되고 있지만 향후 tera 급 이상의 고집적 메모리를 구현하기 위해서는 현재와는 전혀 다른 재료와 구조가 요구되어 질 수 있으므로 산학연의 역할 분담이 무엇보다 중요하며 상호 보완적인 협력을 통해 상변화 메모리 개발에 매진할 때 상변화 메모리는 차세대 성장 동력으로서 매우 중요한 자리 매김을 할 수 있을 것으로 있을 것으로 사료된다.

참고문헌

- [1] R. Neale, "Amorphous non-volatile memory : the past and the future", Electronic Engineering, April 2001
- [2] Ovonyx web site (www.ovonyx.com)
- [3] S. R. Ovshinsky, "Reversible electrical switching phenomena in disordered structures.", PRL Vol. 21, No. 20, P. 1450, 1968
- [4] R. G. Neale et al., "Nonvolatile and reprogrammable, the read-mostly memory is here.", Electronics, September 28, 1970
- [5] T. Y. Lee et al., "Thin film alloy mixtures for high speed phase change optical storage: A study on $(\text{GeSbTe})_{1-x}(\text{SnBiTe})_x$." JAP. Vol. 80, No. 18, P. 3313. 2002.
- [6] Y. N. Hwang et al., "Completely Compatible Phase-Change Random Access Memory", NVSMW 2003.
- [7] S. H. Lee et al., "Full Integration and Cell Characteristics for 64Mb Nonvolatile PRAM", Symposium on VLSI, 2004
- [8] D. H. Ahn et al., "Electrical Phase Change Characteristics of GeSbTe-Based Chalcogenide Alloys at the Memory Cell with 50 and 70 nm Contact Holes", AEPSE technical digest, p. , 2003
- [9] D. H. Kang et al., "One-dimensional heat conduction model for an electrical phase change random access memory device with an 8F2 memory cell ($f=0.15 \text{ um}$) ", JAP, Vol. 94, No. 5, P. 3536, 2003
- [10] N. Yamada et al., "Rapid-phase transitions of GeTe-Sb₂Te₃ pseudobinary amorphous thin films for an optical disk memory", JAP Vol. 69, No. 5, 1991
- [11] A. Pirovano et al., "Electronic Switching in Phase-Change Memories.", IEEE TED. Vol. 51, NO. 3, 2004

- [12] N. Croitoru et al., "Non-ohmic properties of some amorphous semiconductors.", J. Non-Cryst. Solids, Vol. 4, p. 493, 1970
- [13] L. Muller et al., "Current-voltage characteristics at high fields in amorphous selenium thin layers.", J. Non-Cryst. Solids, Vol. 4, p. 504, 1970
- [14] P. J. Walsh et al., "Conduction and electrical switching in amorphous chalcogenide semiconductor films.", Phys. Rev. Vol. 178, p. 1274, 1969
- [15] A. Pirovano et al., "Electronic switching in phase-change memories.", IEEE TED, Vol. 51, no. 3, 2004
- [16] E. Cook, "Model for the Resistive-Conductive Transition in Reversible Resistance-Switching Solids." JAP., Vol. 41, No. 2, p. 551, 1970
- [17] D. Adler et al., "The mechanism of threshold switching in amorphous alloys., Reviews of Modern Physics, Vol. 50, No. 2, 1978
- [18] S. R. Ovshinsky et al., "Amorphous Semiconductors for Switching, Memory, and Imaging Applications.", IEEE TED. Vol. ED-20, No. 2, p. 91, 1973
- [19] M. H. Cohen et al., "A Model for and Amorphous Semiconductor Memory Device.", J. Non-Cryst. Solids, 8-10, p. 885, 1972
- [20] T. Kaplan et al., "thermal effects in amorphous-semiconductor switching.", APL. Vo. 19, No. 10, p. 418, 1971
- [21] T. Kaplan et al., "Electrothermal Switching in Amorphous Semiconductors.", J. Non-Cryst. Solids, Vol. 8, No. 10, p. 538, 1972
- [22] M. P. Shaw et al., "Reversible Switching in Thin Amorphous Chalcogenide Films-Electronic Effects.", PRL. Vol. 31, No. 8, p. 542, 1973.
- [23] H. K. Henesch, "A qualitative theory of electrical switching processes in monostable amorphous structure." J. Non-Cryst. Solids, Vol. 4, p. 538, 1970.
- [24] I. Lucas, J. Non-Cryst. Solids, Vol. 6, p. 136, 1971.
- [25] I. Balberg, "Simple test for double injection of switching.", APL., Vol. 16,

- No. 12, p. 491, 1970.
- [26] H. K. Henesch et al., *Solid-State Electron.*, Vol. 14, p. 765, 1971.
- [27] A. Pirovano et al., "Electronic Switching Effect in Phase-Change Memory Cells.", *Proc. IEDM* p. 923, 2002
- [28] A. Owen et al., "Electronic Conductions and Switching in Chalcogenide Glasses", *IEEE TED. ED-2*, p. 105, 1973
- [29] N. F. Mott, "Conduction in non-crystalline systems VII. Non-ohmic behavior and switching.", *Phil. Mag.* 24, p. 911, 1971
- [30] C. Peng et al., "Experimental and theoretical investigations of laser-induced crystallization and amorphization in phase-change optical recording media.", *J. Appl. Phys.* Vol. 82, No. 9, p. 4183, 1997
- [31] M. H. Cohen et al., "A Model for an amorphous semiconductor memory device.", *J. Non-Cryst. Solids* Vol. 8 No. 10, p. 885, 1972
- [32] S. Lai, "Current status of the phase change memory and its future", *IEDM Technical Digest*, p. 255, 2003
- [33] N. Takaura et al., "A GeSbTe Phase-Change Memory Cell Featuring a Tungsten Heater Electrode for Low-Power, Highly Stable, and Short-Read-Cycle Operations.", *IEDM Technical Digest*, p. 897, 2003
- [34] M. Lankhorst et al., "Fast-Switching and long Data-Retention Materials For Phase-Change Memory.", *MRS fall handbook*, p. 795, 2003
- [35] Y. C. Chen et al., "An Access-Transistor-Free(0T/1R) Non-Volatile Resistance Random Access Memory (RRAM) Using a Novel Threshold Switching Self-Rectifying Chacogenide Device.", *IEDM Technical Digest*, p. 905, 2003
- [36] R. Zhao et al. "Study of the Structural Transformation of GeSbTe Induced by Current Pulses in Phase Change Memory.", *MRS fall handbook*, p. 794, 2003
- [37] J. H. Yi et al., "Novel cell structure of PRAM with thin metal layer inserted

- GeSbTe.", IEDM Technical Digest, p. 901, 2003
- [38] S. J. Hudgens, "OUM Nonvolatile Semiconductor Memory Technology", MRS fall Symposium HH: 'Phase Change and Nonmagnetic Materials for Data Storage' Tutorial handbook.
- [39] Y. H. Ha et al., "An Edge Contact Type Cell for Phase Change RAM Featuring Very Low Power Consumption", Symposium on VLSI Tech Digest of Tech papers, 2003
- [40] D. H. et al., "A New Crystalline to Crystalline Phase Change Memory Cell Using (Ge₁Sb₂Te₄)_{0.8}(Sn₁Bi₂Te₄)_{0.2} alloy.", ESSDERC 2004 to be published.
- [41] A. Pirovano et al., IEDM technical digest 2003
- [42] K. Nakayama et al., "Nonvolatile Memory Based on Phase Transition in Chalcogenide Thin Film", Jpn. J. Appl. Phys. 32, 564, 1993
- [43] 이현용 공저 "비정질 박막재료와 그의 응용", 전남대학교 출판부, 2003
- [44] Stanford Ovshinsky, "An History of the phase cahnge technology", Memories Optiques et Systemes, September, 1994
- [45] N. Abriloso et al., "An Investigation of the Structural Diagram of Sb₂Te₃-SeTe", Inorganic Materials, Vo. 1, No. 2, P. 187, 1965
- [46] R. G. Neale et al., "Nonvolatile and reprogrammable, the read-mostly memory is here", Electronics, september 28, 1970
- [47] J. Feinleb et al., "Rapid reversible light-induced crystallization of amorphous semiconductors" APL, Vol. 18, P. 254
- [48] M. Chen et al., Compound materials for reversible, optical phase-change storage, APL, Vol. 49, P. 502, 1986
- [49] K. Nakayama et al., Nonvolatile based on phase transition in chalcogenide thin film, JJAP, Vol. 32, P. 564, 1993
- [50] 고광석 저 "상변화형 광디스크 기술의 분석", 특허청, 2002
- [51] K. Nakayama et al., "Submicron nonvolatile memory cell based on reversible

- phase transition in chalcogenide glasses", JJAP, Vol. 39, P. 6157, 2000
- [52] M. Gill et al., "Ovonic unified memory-A high-performance nonvolatile memory technology for stand-alone memory and embedded applications", ISSCC, 2002
- [53] K. Nakayama et al., "Nonvolatile memory based on phase change in Se-Sb-Te glass", JJAP , Vol. 42, P. 404, 2003

본 나노기술분석보고서는 과학기술부 특정연구개발사업 『나노기술종합
정보지원체제구축사업』의 3차년도(2005.5 - 2006.4) 사업으로 발간되었
습니다.

ISBN 89-5884-520-1 93570

상변화 메모리 기술

2005년 12월 19일 인쇄
2005년 12월 23일 발행

발행처



서울특별시 동대문구 청량리동 206-9
☎ 130-742
전화 : 3299-6114
등록: 1991년 2월 12일 제5-258호

발행인
조영화

인쇄처
영신기획

본서의 무단전재나 복제를 금합니다.